

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenji TSUCHIDA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: MRAM HAVING MEMORY CELL ARRAY IN WHICH CROSS-POINT MEMORY CELLS ARE
ARRANGED BY HIERARCHICAL BIT LINE SCHEME AND DATA READ METHOD THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-144792	May 22, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月22日

出 願 番 号

Application Number:

特願2003-144792

[ST.10/C]:

[JP2003-144792]

出 願 人

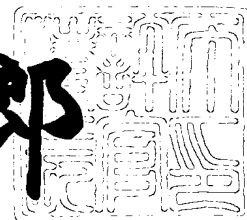
Applicant(s):

東芝マイクロエレクトロニクス株式会社
株式会社東芝

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045180

【書類名】 特許願

【整理番号】 A000300609

【提出日】 平成15年 5月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/02

【発明の名称】 磁気ランダムアクセスメモリ及びそのデータ読み出し方法

【請求項の数】 28

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 土田 賢二

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 岩田 佳久

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイク
 ロエレクトロニクス株式会社内

 【氏名】 東 知輝

【特許出願人】

 【識別番号】 000221199

 【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9105411

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリ及びそのデータ読み出し方法

【特許請求の範囲】

【請求項 1】 磁気抵抗効果を示すクロスポイント型のメモリセルを備える複数のセルユニットと、

前記各セルユニット中のメモリセルの一端にそれぞれ接続されるワード線と、

前記各セルユニット中の複数のメモリセルの他端に所定の単位で共通接続される副ビット線と、

複数の副ビット線にそれぞれスイッチ回路を介して共通接続され、前記副ビット線とともに階層ビット線構造をなす主ビット線と、

前記主ビット線を選択してセンスアンプに接続するように構成された列選択回路と、

前記スイッチ回路を制御することにより前記セルユニット単位で前記ワード線の選択動作を行い、読み出し動作時に、選択されたメモリセルが接続された選択ワード線以外であって、前記選択されたメモリセルが接続されている副ビット線に接続された非選択のメモリセルが接続されているワード線をフローティング状態に設定し、選択されたメモリセルを含まないセルユニット中のメモリセルに接続されたワード線を前記主ビット線と同一の電位に設定するように構成された行選択回路と

を具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】 前記セルユニットは、メモリセルがマトリクス状に配置されたメモリセルブロックであり、前記各メモリセルブロック中のメモリセルの一端はそれぞれ行毎に前記ワード線に接続され、他端は列毎に前記副ビット線に接続されることを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 3】 前記スイッチ回路は、電流通路の一端が前記副ビット線にそれぞれ接続され、電流通路の他端が列毎に主ビット線に接続され、前記行選択回路から出力されるセルユニットの選択信号でオン／オフ制御される第 1 の MOS トランジスタを含むことを特徴とする請求項 1 または 2 に記載の磁気ランダムアクセスメモリ。

【請求項 4】 前記列選択回路は、電流通路の一端が前記主ビット線にそれぞれ接続され、他端が前記センスアンプに接続されるカラム選択用の第 2 の MOS トランジスタと、前記第 2 の MOS トランジスタのゲートに接続されるカラム選択線と、前記カラム選択線にカラムアドレス選択信号を出力して選択的に駆動する CSL ドライバと、カラムアドレス信号をデコードして前記 CSL ドライバに供給するカラムデコーダと、前記 CSL ドライバから出力されるカラムアドレス選択信号に基づいて前記主ビット線に選択的にバイアス電圧を与える第 1 のバイアス回路とを備えることを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載の磁気ランダムアクセスメモリ。

【請求項 5】 前記行選択回路は、前記各セルユニット毎に前記ワード線を選択的に駆動し、且つ前記各セルユニット毎に前記スイッチ回路を制御して選択されたメモリセルが含まれるセルユニット中の副ビット線を主ビット線に接続する読み出しワード線ドライバと、ロウアドレス信号をデコードして前記読み出しワード線ドライバに供給するロウデコーダとを含むことを特徴とする請求項 1 乃至 4 いずれか 1 つの項に記載の磁気ランダムアクセスメモリ。

【請求項 6】 前記行選択回路は、電流通路の一端が前記ワード線の一端にそれぞれ接続され、他端が共通接続される第 3 の MOS トランジスタと、前記第 3 の MOS トランジスタの他端にバイアス電圧を与える第 2 のバイアス回路と、前記第 3 の MOS トランジスタを前記セルユニット単位で駆動する第 1 の読み出しワード線ドライバと、ロウアドレス信号をデコードして前記第 1 の読み出しワード線ドライバに供給する第 1 のロウデコーダと、電流通路の一端が前記ワード線の他端にそれぞれ接続され、他端が基準電位に共通接続される第 4 の MOS トランジスタと、前記第 4 の MOS トランジスタを選択的に駆動し、且つ前記各セルユニット毎に前記スイッチ回路を制御して選択されたメモリセルが含まれるセルユニット中の副ビット線を主ビット線に接続する第 2 の読み出しワード線ドライバと、前記ロウアドレス信号をデコードして前記第 2 の読み出しワード線ドライバに供給する第 2 のロウデコーダとを含むことを特徴とする請求項 1 乃至 4 いずれか 1 つの項に記載の磁気ランダムアクセスメモリ。

【請求項 7】 前記行選択回路は、電流通路の一端が前記ワード線の一端に

それぞれ接続され、他端が共通接続される第3のMOSトランジスタと、前記第3のMOSトランジスタの他端にバイアス電圧を与える第2のバイアス回路と、電流通路の一端が前記ワード線の他端にそれぞれ接続され、他端が基準電位に共通接続される第4のMOSトランジスタと、前記第4のMOSトランジスタを選択的に駆動し、且つ前記各セルユニット毎に前記スイッチ回路と前記第3のMOSトランジスタを制御して選択されたメモリセルが含まれるセルユニット中の副ビット線を主ビット線に接続するとともにワード線を前記第2のバイアス回路に接続する読み出しワード線ドライバと、ロウアドレス信号をデコードして前記読み出しワード線ドライバに供給するロウデコーダとを含むことを特徴とする請求項1乃至4いずれか1つの項に記載の磁気ランダムアクセスメモリ。

【請求項8】 前記第3のMOSトランジスタはNチャネル型であり、前記第3のMOSトランジスタのゲートには、前記スイッチ回路に供給される信号の反転信号がセルユニット毎に供給されることを特徴とする請求項7に記載の磁気ランダムアクセスメモリ。

【請求項9】 前記第3のMOSトランジスタはPチャネル型であり、前記第3のMOSトランジスタのゲートには、前記スイッチ回路に供給される信号がセルユニット毎に供給されることを特徴とする請求項7に記載の磁気ランダムアクセスメモリ。

【請求項10】 前記第1のバイアス回路は、前記CSLドライバから出力されるカラムアドレス選択信号に基づいて、選択された主ビット線に対するバイアス電圧の印加を停止することを特徴とする請求項4乃至9いずれか1つの項に記載の磁気ランダムアクセスメモリ。

【請求項11】 選択された主ビット線は、前記カラムアドレス選択信号に応答して前記センスアンプへ接続され、前記センスアンプから前記第1のバイアス回路から出力されるバイアス電圧と実質的に等しい電圧が印加されることを特徴とする請求項10に記載の磁気ランダムアクセスメモリ。

【請求項12】 前記第2のバイアス回路から出力されるバイアス電圧は、前記第1のバイアス回路から出力されるバイアス電圧と実質的に等しいことを特徴とする請求項6乃至11いずれか1つの項に記載の磁気ランダムアクセスメモ

リ。

【請求項 1 3】 磁気抵抗効果を示すクロスポイント型メモリセルがマトリクス状に配置され、データの読み出しの際に使用される読み出しビット線が主ビット線と副ビット線とから構成される階層ビット線方式のメモリセルアレイと、

読み出し動作時に、選択されたメモリセルが接続された副ビット線に接続された非選択のメモリセルが接続されたワード線をフローティング状態にし、選択されたメモリセルを含まない副ビット線に接続された前記以外のワード線を前記主ビット線と実質的に等しい電位に設定するワード線電位設定手段と

を具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項 1 4】 選択されたメモリセルに接続されているワード線の電位は、選択されたメモリセルを含まない副ビット線に接続された非選択のメモリセルに接続されたワード線の電位と異なることを特徴とする請求項 1 3 に記載の磁気ランダムアクセスメモリ。

【請求項 1 5】 前記主ビット線の電位を所定のバイアス電圧に保持するバイアス手段を更に具備することを特徴とする請求項 1 3 または 1 4 に記載の磁気ランダムアクセスメモリ。

【請求項 1 6】 前記バイアス手段は、前記メモリセルアレイのカラムアドレスを選択するカラムアドレス選択信号により選択された主ビット線に対するバイアス電圧の供給を停止することを特徴とする請求項 1 5 に記載の磁気ランダムアクセスメモリ。

【請求項 1 7】 前記選択された主ビット線は、前記カラムアドレス選択信号に基づいてセンスアンプへ接続され、前記センスアンプで前記バイアス手段から出力されるバイアス電圧と実質的に等しい電圧が印加されることを特徴とする請求項 1 6 に記載の磁気ランダムアクセスメモリ。

【請求項 1 8】 磁気抵抗効果を示すクロスポイント型メモリセルがマトリクス状に配置され、データの読み出しの際に使用される読み出しビット線が主ビット線と副ビット線とから構成される階層ビット線方式のメモリセルアレイと、

前記メモリセルを選択するためのワード線を、異なる第 1、第 2 の電位供給源に選択的に接続する接続手段と、

前記接続手段を制御して、前記ワード線を電氣的にフローティング状態に設定する制御手段と

を具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項 1 9】 前記制御手段は、読み出し時にワード線の電位を設定するための第 1, 第 2 のロウデコーダ及びワード線ドライバを備え、

前記第 1, 第 2 のロウデコーダ及びワード線ドライバで前記接続手段を非活性化することにより、前記ワード線が電氣的にフローティング状態に設定されることを特徴とする請求項 1 8 に記載の磁気ランダムアクセスメモリ。

【請求項 2 0】 前記接続手段は、前記第 1, 第 2 のロウデコーダ及びワード線ドライバの出力信号に基づいて前記ワード線を第 1, 第 2 の電位供給源にそれぞれ接続する第 1, 第 2 の選択回路を備え、前記第 1, 第 2 の選択回路はそれぞれ N チャンネル型 MOS トランジスタで構成され、前記 MOS トランジスタはそれぞれ、前記第 1, 第 2 のロウデコーダ及びワード線ドライバの出力信号で制御されることを特徴とする請求項 1 9 に記載の磁気ランダムアクセスメモリ。

【請求項 2 1】 前記第 1 のロウデコーダ及びワード線ドライバから前記第 1 の選択回路に供給される信号は各副ビット線単位で独立であり、前記第 2 のロウデコーダ及びワード線ドライバから前記第 2 の選択回路に供給される信号は各ワード線毎に独立であることを特徴とする請求項 2 0 に記載の磁気ランダムアクセスメモリ。

【請求項 2 2】 前記制御手段は、読み出し時にワード線の電位を設定するためのロウデコーダ及びワード線ドライバを備え、

前記ロウデコーダ及びワード線ドライバで前記接続手段が非活性化されることにより、前記ワード線が電氣的にフローティング状態に設定されることを特徴とする請求項 1 8 に記載の磁気ランダムアクセスメモリ。

【請求項 2 3】 前記接続手段は、前記ロウデコーダ及びワード線ドライバの出力信号に基づいて前記ワード線を第 1, 第 2 の電位供給源にそれぞれ接続する第 1, 第 2 の選択回路を備え、前記第 1, 第 2 の選択回路はそれぞれ N チャンネル型 MOS トランジスタで構成され、前記 MOS トランジスタはそれぞれ、前記ロウデコーダ及びワード線ドライバの出力信号で制御されることを特徴とする請

求項 2 2 に記載の磁気ランダムアクセスメモリ。

【請求項 2 4】 前記ロウデコーダ及びワード線ドライバから前記第 1 の選択回路に供給される信号は主ビット線と副ビット線間の選択信号を論理反転した信号であり、前記ロウデコーダ及びワード線ドライバから前記第 2 の選択回路に供給される出力信号は各ワード線毎に独立であることを特徴とする請求項 2 3 に記載の磁気ランダムアクセスメモリ。

【請求項 2 5】 前記接続手段は、前記ロウデコーダ及びワード線ドライバの出力信号に基づいて前記ワード線を第 1、第 2 の電位供給源にそれぞれ接続する第 1、第 2 の選択回路を備え、前記第 1 の選択回路は P チャネル型 MOS トランジスタで構成され、前記第 2 の選択回路は N チャネル型 MOS トランジスタで構成され、前記各 MOS トランジスタはそれぞれ、前記ロウデコーダ及びワード線ドライバの出力信号で制御されることを特徴とする請求項 2 2 に記載の磁気ランダムアクセスメモリ。

【請求項 2 6】 前記ロウデコーダ及びワード線ドライバから前記第 1 の選択回路に供給される出力信号は主ビット線と副ビット線間の選択信号であり、前記ロウデコーダ及びワード線ドライバから前記第 2 の選択回路に供給される出力信号は各ワード線毎に独立であることを特徴とする請求項 2 5 に記載の磁気ランダムアクセスメモリ。

【請求項 2 7】 磁気抵抗効果を示すクロスポイント型メモリセルがマトリクス状に配置され、データの読み出しの際に使用される読み出しビット線が主ビット線と副ビット線とから構成される階層ビット線方式のメモリセルアレイを備えた磁気ランダムアクセスメモリからデータを読み出す方法であって、

選択すべきメモリセルに接続されたワード線を有意レベルにし、選択すべきメモリセルが接続された副ビット線に接続された非選択のメモリセルに接続されたワード線をフローティング状態にするステップと、

選択されたメモリセルを含まない副ビット線に接続された前記以外のワード線を前記主ビット線と実質的に等しい電位に設定するステップと

を具備することを特徴とする磁気ランダムアクセスメモリのデータ読み出し方法。

【請求項 2 8】 前記ワード線を前記主ビット線と実質的に等しい電位に設定するステップの後に、

選択されたメモリセルが接続された副ビット線を主ビット線に接続し、前記主ビット線を選択してセンスアンプに接続するステップと、

選択したメモリセルの記憶データを前記センスアンプで検知・増幅して読み出すステップと

を更に具備することを特徴とする請求項 2 7 に記載の磁気ランダムアクセスメモリのデータ読み出し方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、磁気抵抗 (Magnetoresistive) 効果を利用して “1”, “0” 情報の記憶を行う磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) 及びそのデータ読み出し方法に関する。特に、クロスポイント型メモリセルを分割ビット線構造 (階層ビット線方式) で配置したメモリセルアレイにおける読み出し時の主/副ビット線並びにワード線の電位制御に関する。

【 0 0 0 2 】

【従来の技術】

MRAMは、磁気抵抗効果を利用して “1” または “0” 情報を蓄積させることでメモリ動作をさせるデバイスであり、不揮発性、高集積性、高信頼性、低消費電力性、及び高速動作性を兼ね備えたユニバーサルなストレージデバイスの候補の 1 つとして位置付けられ、各社で開発が始まっている。

【 0 0 0 3 】

磁気抵抗効果には、主に GMR (Giant Magnetoresistive) と TMR (Tunneling Magnetoresistive) の 2 つの効果が知られている。このうち GMR 効果を利用する素子 (GMR 素子) は、2 つの強磁性層に挟まれた導体の抵抗が上下の強磁性層のスピン向きにより変化する現象を用いて情報を記憶するものである。しかしながら、GMR 素子は、磁気抵抗値の変化の割合を示す MR 比が 10 % 程度と低いために、記憶情報の読み出し信号が小さく、読み出しマージンの確保

がMRAM実現の最大の課題である。このため、現時点では実用性が不十分と考えられている。

【 0 0 0 4 】

一方、TMR効果を利用する代表的な素子としては、スピン偏局トンネル効果による磁気抵抗の変化を用いるMTJ (Magnetic Tunnel Junction) 素子が知られている。このMTJ素子は、強磁性層である2つの金属層に絶縁膜（トンネル絶縁膜）が挟まれた積層構造になっている。MTJ素子では、上下の強磁性層のスピン向きが互いに平行な場合には、トンネル絶縁膜を介した2つの強磁性層間のトンネル確率が最大となり、その結果抵抗値が最小となる。これに対し、スピンの向きが互いに反平行な場合には、同トンネル確率が最小となることで抵抗値が最大となる。このような2つのスピン状態を実現するために、通常、上記強磁性層（磁性体膜）のうち何れか一方は、その磁化の向きが固定されており外部磁化の影響を受けないように設定されている。一般に、この磁化の向きが固定されている強磁性層はピン層と呼ばれている。他方の強磁性層（磁性体膜）は、印加される磁界の向きにより磁化の向きが上記ピン層と平行あるいは反平行にプログラム可能となっている。この強磁性層は、一般にフリー層と呼ばれており、情報を蓄える役割を担っている。MTJ素子の場合、現在では、抵抗変化率としてのMR比が50%を超えるものも得られており、MRAM開発の主流になりつつある。

【 0 0 0 5 】

上記MTJ素子を用いたMRAMへの書き込みは、上記フリー層の磁化の向きを反転させるために、各々のメモリセルに対して直交して通過しているビット線とワード線に一定以上の電流を流し、これによって発生する合成磁界の大きさに応じてフリー層の磁化の向きを制御することで行われる。

【 0 0 0 6 】

これに対し、読み出しは、選択されたビットに対応するMTJ素子の2枚の磁性体膜間に電圧を印加し、これを流れる電流から抵抗値を読み取ることや、選択されたMTJ素子に定電流を流し、これにより発生する2枚の磁性体膜間の電圧を検知することなどで可能となる。

【 0 0 0 7 】

このようなMTJ素子を用いたMRAMの一例については、例えば非特許文献1に報告がされている。しかし、この非特許文献1に記載されているMRAMは、1ビットのデータを2つのMOSトランジスタと2つのMTJ素子で記憶する構成であるため大容量化や高集積化が難しい。また、大容量化や高集積化を図ると寄生容量や寄生抵抗の増大によりアクセス速度が低下する恐れがある。

【 0 0 0 8 】

【非特許文献1】

ISSCC2000 Digest of Technical Paper p.128 "A 10ns Read and Write Non-Volatile Memory Array using a Magnetic Tunnel Junction and FET Switch in each Cell"

【 0 0 0 9 】

【発明が解決しようとする課題】

上記のように従来の磁気ランダムアクセスメモリ及びそのデータ読み出し方法は、大容量化や高集積化が難しく、且つ大容量化や高集積化を図るとアクセス速度が低下する恐れがある。

【 0 0 1 0 】

本発明は上記のような事情に鑑みてなされたもので、その目的とするところは、大容量化や高集積化が図れ、アクセス速度の高速化も実現出来る磁気ランダムアクセスメモリ及びそのデータ読み出し方法を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明の一態様によると、磁気抵抗効果を示すクロスポイント型のメモリセルを備える複数のセルユニットと、前記各セルユニット中のメモリセルの一端にそれぞれ接続されるワード線と、前記各セルユニット中の複数のメモリセルの他端に所定の単位で共通接続される副ビット線と、複数の副ビット線にそれぞれスイッチ回路を介して共通接続され、前記副ビット線とともに階層ビット線構造をなす主ビット線と、前記主ビット線を選択してセンスアンプに接続するように構成された列選択回路と、前記スイッチ回路を制御することにより前記セルユニット

単位で前記ワード線の選択動作を行い、読み出し動作時に、選択されたメモリセルが接続された選択ワード線以外であって、前記選択されたメモリセルが接続されている副ビット線に接続された非選択のメモリセルが接続されているワード線をフローティング状態に設定し、選択されたメモリセルを含まないセルユニット中のメモリセルに接続されたワード線を前記主ビット線と同一の電位に設定するように構成された行選択回路とを具備する磁気ランダムアクセスメモリが提供される。

【 0 0 1 2 】

また、本発明の一態様によると、磁気抵抗効果を示すクロスポイント型メモリセルがマトリクス状に配置され、データの読み出しの際に使用される読み出しビット線が主ビット線と副ビット線とから構成される階層ビット線方式のメモリセルアレイと、読み出し動作時に、選択されたメモリセルが接続された副ビット線に接続された非選択のメモリセルが接続されたワード線をフローティング状態にし、選択されたメモリセルを含まない副ビット線に接続された前記以外のワード線を前記主ビット線と実質的に等しい電位に設定するワード線電位設定手段とを具備する磁気ランダムアクセスメモリが提供される。

【 0 0 1 3 】

更に、本発明の一態様によると、磁気抵抗効果を示すクロスポイント型メモリセルがマトリクス状に配置され、データの読み出しの際に使用される読み出しビット線が主ビット線と副ビット線とから構成される階層ビット線方式のメモリセルアレイと、前記メモリセルを選択するためのワード線を、異なる第 1，第 2 の電位供給源に選択的に接続する接続手段と、前記接続手段を制御して、前記ワード線を電氣的にフローティング状態に設定する制御手段とを具備する磁気ランダムアクセスメモリが提供される。

【 0 0 1 4 】

本発明の一態様によると、磁気抵抗効果を示すクロスポイント型メモリセルがマトリクス状に配置され、データの読み出しの際に使用される読み出しビット線が主ビット線と副ビット線とから構成される階層ビット線方式のメモリセルアレイを備えた磁気ランダムアクセスメモリからデータを読み出す方法であって、選

択すべきメモリセルに接続されたワード線を有意レベルにし、選択すべきメモリセルが接続された副ビット線に接続された非選択のメモリセルに接続されたワード線をフローティング状態にするステップと、選択されたメモリセルを含まない副ビット線に接続された前記以外のワード線を前記主ビット線と実質的に等しい電位に設定するステップとを具備する磁気ランダムアクセスメモリのデータ読み出し方法が提供される。

【 0 0 1 5 】

上記のような構成並びに方法によれば、セルの選択素子を必要としないクロスポイント型メモリセルを用いるので、大容量化と高集積化が容易である。また、階層ビット線方式（分割ビット線構造）を採用し、その読み出し動作時に、選択されたメモリセルと同一の副ビット線（分割ビット線）に接続された全てのメモリセルのワード線を電氣的にフローティング状態に保持し、且つ選択セルと異なる副ビット線に接続された全てのメモリセルのワード線には、全ての主ビット線と同一の電位を供給するので、クロスポイント型メモリセル固有の読み出し時の誤差電流成分を抑制出来る。しかも、非選択状態にある全ての副ビット線の電位を主ビット線と同一に設定することで、読み出し動作の高速化を図ることが出来る。よって、容易に大容量化と高集積化が図れ、且つ読み出し動作マージンが大きく、高速読み出し可能なMRAM及びそのデータ読み出し方法を実現出来る。

【 0 0 1 6 】

【発明の実施の形態】

本発明は、本出願人の先願である特願2001-390518（先願1）、特願2002-374716（先願2）及び特願2001-401850（先願3）に記載されている技術に基づいてなされたものである。これらの先願に記載した技術を更に改良し、大容量化や高集積化とアクセス速度の高速化を図るものである。更に詳しくは、非選択セルからの誤差電流を抑制しつつ、高速アクセス動作が可能な磁気ランダムアクセスメモリ及びそのデータ読み出し方法を提供するものである。

【 0 0 1 7 】

まず、上記先願の技術について説明し、その後、本発明の各実施の形態につい

て説明する。

【 0 0 1 8 】

先願 1 には、選択 MOS トランジスタを複数（例えば 4 個）の MTJ 素子で共有化し、素子数の削減とセル面積の縮小を図ることにより、高集積化に寄与する手法が述べられている。この先願 1 の MRAM は、図 1 4 に示すように、メモリセルとして働く MTJ 素子 MC 1 1 ～ MC 1 8，MC 2 1 ～ MC 2 8、読み出し用ビット線／書き込み用ワード線 RBL 1／WWL 1 ～ RBL 8／WWL 8、ソース線 SL 1，SL 2、読み出し用ワード線 RWL 1，RWL 2、書き込み用ビット線 WBL 1，WBL 2、ロウデコーダ（Row Decoder）1 1 - 1，1 1 - 2、ロウデコーダ及び読み出しワード線ドライバ（Row Decoder & Read Line Driver）1 2 - 1，1 2 - 2、書き込みワード線シンカー（Write Word Line Sinker）1 3 - 1，1 3 - 2、カラムデコーダ及び書き込みビット線ドライバ／シンカー（Column Decoder & Write Bit Line Driver/Sinker）1 4 - 1，1 4 - 2、読み出し回路（Read Circuit）1 5、書き込みワード線ドライバ（Write Word Line Driver）1 6、カラムデコーダ及び読み出しカラム選択線ドライバ（Column Decoder & Read Column Line Driver）1 7、スイッチ回路として働く MOS トランジスタ（MOSFET）RSW 1 ～ RSW 8，WSW 1 ～ WSW 4，SSW 1，SSW 2 等を含んで構成されている。

【 0 0 1 9 】

本先願 1 に記載されているメモリセルは、例えば図 1 5 に示すような断面構造である。すなわち、MTJ 素子 MC 1 1 ～ MC 1 4 は、これらの素子の一端を共通接続するための配線層 1 8 上に配置されており、各 MTJ 素子 MC 1 1 ～ MC 1 4 上に読み出し用ビット線／書き込み用ワード線 RBL 1／WWL 1 ～ RBL 4／WWL 4 が配置されている。これら読み出し用ビット線／書き込み用ワード線 RBL 1／WWL 1 ～ RBL 4／WWL 4 と書き込み用ビット線 WBL 1 は、直交（交差）する方向に配置されている。読み出し用ワード線 RWL 1，RWL 2 とソース線 SL 1，SL 2 は、上記 MTJ 素子 MC 1 1 ～ MC 1 4 の下層に、上記読み出し用ビット線／書き込み用ワード線 RBL 1／WWL 1 ～ RBL 4／WWL 4 と平行な方向に沿って配置される。

【 0 0 2 0 】

また、先願 2 に提案された手法では、セル情報の読み出し信号確保の観点から、上記先願 1 の構成を変更してビット線に階層構造（階層ビット線方式）を採用している。この先願 2 の MRAM は、図 1 6 に示すように MTJ 素子 MC 1 1 ～ MC 1 8、MC 2 1 ～ MC 2 8、ワード線 WL 1 ～ WL 8、主ビット線 MBL 1、MBL 2、副ビット線 SBL 1 ～ SBL 4、選択線 SS 1、SS 2、ロウデコーダ及び読み出しワード線ドライバ（Row Decoder & Read Line Driver）1 2 - 1、1 2 - 2、書き込みワード線シンカー（Write Word Line Sinker）1 3 - 1、1 3 - 2、カラムデコーダ及び書き込みビット線ドライバ／シンカー（Column Decoder & Write Bit Line Driver/Sinker）1 4 - 1、1 4 - 2、カラムデコーダ及び CSL ドライバ（Column Decoder & CSL Driver）1 9、バイアス回路（Bias Circuit）2 0 - 1、2 0 - 2、センスアンプ（S/A）2 1、スイッチとして働く MOS トランジスタ ASW 1 ～ ASW 8、BSW 1 ～ BSW 4、CSW 1、CSW 2 等を含んで構成されている。

【 0 0 2 1 】

図 1 6 に示すように、主ビット線 MBL 1、MBL 2 と副ビット線 SBL 1 ～ SBL 4 との間に選択用の MOS トランジスタ BSW 1 ～ BSW 4 を配置し、選択線 SS 1、SS 2 からゲート信号を供給してオン／オフ制御することで、複数の副ビット線 SBL 1 ～ SBL 4 のうちの少なくとも 1 つを選択的に主ビット線 MBL 1、MBL 2 に接続することが可能となる。これにより、センスアンプ 2 1 から見た選択ビット線に接続されるメモリセルの数を大幅に低減させることが出来る。

【 0 0 2 2 】

この先願 2 に記載されている技術は、クロスポイント型メモリセルにあっては、メモリセルに選択性がないことから、非選択のメモリセル群からセンスアンプ 2 1 に誤差信号が流れる問題を考慮し、ビット線に接続される実効的なメモリセル数の低減効果を狙ったものである。この先願 2 におけるメモリセルの断面構造の一例を図 1 7 に示す。メモリセルとしての MTJ 素子 MC 1 1 ～ MC 1 4 は、これらの素子の一端を共通接続するための配線層（副ビット線 SBL 1）1 8 上

に配置されており、各MTJ素子MC11～MC14上にはワード線WL1～WL4が配置されている。これらワード線WL1～WL4と書き込み用ビット線WBL1及び主ビット線MBL1は、直交（交差）する方向に配置されている。また、選択線SS1，SS2は、上記MTJ素子MC11～MC14の下層に、上記ワード線WL1～WL4と平行な方向に沿って配置される。

【0023】

これらの先願の技術では、何れもクロスポイント型メモリセルを採用し、且つメモリセルMC11～MC18，MC21～MC28の下部に選択スイッチとしてのMOSトランジスタWSW1～WSW4やMOSトランジスタBSW1～BSW4を配置することで、セル面積の縮小が可能であり高集積化に寄与する、とされている。

【0024】

ところで、クロスポイント型メモリセルからのデータの読み出しは、例えば先願3に記載されているような手法により行われる。図18は、クロスポイント型メモリセルにおける読み出しに係るMRAMのコア部を抽出して示すブロック図である。クロスポイント型メモリセルであるMTJ素子MCは、ワード線WL1～WL5とビット線BL1～BL5の各交差部に配置され、アレイ構成（メモリセルアレイ22）になっている。ワード線WL1～WL5の一端はそれぞれ、選択スイッチとしてのMOSトランジスタRSW1～RSW5の電流通路を介して接地電位であるVss電源に接続される。これらMOSトランジスタRSW1～RSW5は、ロウデコーダ（Row Decoder）11の出力信号でオン／オフ制御される。ビット線BL1～BL5の一端はそれぞれ、センスアンプ及びビット線バイアス回路（Sense Amp. & Bias Circuit for BL）23-1～23-5に接続される。

【0025】

メモリセルMCからのデータの読み出し時には、上記センスアンプ及びビット線バイアス回路12-1～12-5中のビット線バイアス回路により、全てのビット線BL1～BL5に所定のバイアス電圧が印加される。一方、複数のワード線WL1～WL5のうち、ロウデコーダ11で選択されたワード線のみが、上記

選択スイッチとしてのMOSトランジスタを介して接地電位に短絡される。それ以外の非選択ワード線は上記MOSトランジスタのオフ状態により電氣的にフローティング状態が保持される。これによって、選択されたワード線と選択されたビット線との間の電流経路は、選択されたメモリセル（MTJ素子）MCを通る本来の経路のみとなり、非選択のメモリセルを経由して電流が流れる状態にはなり得ない。なぜなら、非選択のワード線はフローティング状態であるため、バイアス電圧が印加されたビット線から全てのMTJ素子を介して充電されることになり、最悪でもこれら非選択のワード線の電位はビット線の電位（すなわちバイアス電位）と等しいか低い状態となり、決してこれよりも高くなることは有り得ないからである。このため、特定のビット線からワード線を経由して他のビット線へ繋がる電流経路は形成されず、読み出し時の誤差電流の抑制が可能となる。この結果、読み出しマージンの確保が可能となる。

【 0 0 2 6 】

本先願3に記載されている手法を、先願1や先願2に記載されている分割ビット線構造（階層ビット線方式）のメモリセルアレイに適用することで、同様の原理により誤差電流を抑制した読み出し動作を行うことが出来る。

【 0 0 2 7 】

しかしながら、上記のような構成並びに読み出し方法では、全ての非選択ワード線をフローティング状態にするため、分割ビット線構造を採用したが故に読み出しスピードの観点から見ると不利になる。なぜなら、分割ビット線構造は、読み出し時において特定の副ビット線のみ選択的に主ビット線へ接続する構造であるから、選択セルを含まない副ビット線群と主ビット線との間のスイッチ（MOSトランジスタ）を非導通状態に制御する必要があるからである。つまり、選択セルを含まない全ての副ビット線は主ビット線から電氣的に切り離され、非選択のMTJ素子群を介して非選択ワード線群と電氣的に接続された状態となる。この状態で全ての非選択ワード線がフローティング状態に設定されると、選択セルを含まない副ビット線の電位は、アレイ内ノイズや主／副ビット線間のスイッチ素子の拡散層のリーク電流などで、個々にばらつく可能性が高い。例えば、 V_{ss} レベルまで低下した副ビット線を介して、次のサイクルでメモリセルから情報を

読み出そうとした場合には、ビット線バイアス回路により主ビット線を経由して副ビット線電位を所定のバイアス電位まで復帰させる必要があるため、センス速度が著しく遅れる可能性がある。更に、副ビット線の電位変動が異なると、それに起因してアクセス速度もばらつくことになり、読み出しマージンの確保は難しくなる。

【 0 0 2 8 】

そこで、本発明の各実施の形態に係る磁気ランダムアクセスメモリ及びそのデータ読み出し方法では、クロスポイント型メモリセルを備え、階層ビット線方式（分割ビット線構造）を採用したMRAMにおいて、その読み出し動作時に、選択されたメモリセルと同一の副ビット線（分割ビット線）に接続された全てのメモリセルのワード線を電氣的にフローティング状態に保持し、且つ選択セルと異なる副ビット線に接続された全てのメモリセルのワード線には、全ての主ビット線と同一の電位を供給することで、クロスポイント型メモリセル固有の読み出し時の誤差電流成分を抑制している。また、非選択状態にある全ての副ビット線の電位を主ビット線と同一に設定することで、読み出し動作の高速化を図っている。

【 0 0 2 9 】

以下、本発明の各実施の形態について図面を参照して説明する。

【 0 0 3 0 】

〔第1の実施の形態〕

図1は、本発明の第1の実施形態に係る磁気ランダムアクセスメモリ（MRAM）の要部を抽出して示すブロック図である。本発明は読み出し動作に関するものであるため、ここでは説明を簡単化するために読み出し系のコア部を示し、書き込み系のコア部は省略している。MTJ素子から構成されるクロスポイント型メモリセルMC11～MC48は、複数（ここでは2つ）のメモリセルブロック（セルユニット）中に配置されている。第1のメモリセルブロック中のメモリセルMC11～MC14，MC21～MC24，MC31～MC34，MC41～MC44はそれぞれ、その一端が共通ノードである副ビット線SBL1，SBL3，SBL5，SBL7へ4個ずつ接続されている。また、第2のメモリセル

ブロック中のメモリセルMC 1 5～MC 1 8, MC 2 5～MC 2 8, MC 3 5～MC 3 8, MC 4 5～MC 4 8はそれぞれ、その一端が共通ノードである副ビット線SBL 2, SBL 4, SBL 6, SBL 8へ4個ずつ接続されている。これら副ビット線SBL 1～SBL 8は、それぞれ選択スイッチ（スイッチ回路）として働く選択MOSトランジスタQ 1～Q 8の電流通路を介して主ビット線MBL 1～MBL 4へ列毎に接続される。つまり、選択セルを含む副ビット線SBL 1～SBL 8の選択MOSトランジスタQ 1～Q 8に、セルユニットの選択信号としてハイ（High）レベルのゲート信号を供給する、換言すれば選択線SS 1あるいはSS 2を高電位に遷移させることで特定の副ビット線SBL 1～SBL 8をセルユニット単位で主ビット線MBL 1～MBL 4に選択的に接続出来る。

【 0 0 3 1 】

上記主ビット線MBL 1～MBL 4には、列選択回路が接続されている。この列選択回路は、バイアス回路3 1 - 1～3 1 - 4、カラム選択ゲートとしてのMOSトランジスタQ 1 1～Q 1 4、カラム選択線CSL 1～CSL 4、カラムデコーダ及びカラム選択線（CSL : Column Select Line）ドライバ3 3等を含んで構成されている。

【 0 0 3 2 】

すなわち、主ビット線MBL 1～MBL 4は、その一端部において上記バイアス回路3 1 - 1～3 1 - 4に接続され、全ての主ビット線MBL 1～MBL 4に所定のバイアス電圧が印加される。更に、各主ビット線MBL 1～MBL 4の一端部は、上記MOSトランジスタQ 1 1～Q 1 4の電流通路を介して、選択的にセンスアンプ（Sense Amp.）3 2へ接続され、メモリセルMC 1 1～MC 1 8, MC 2 1～MC 2 8, MC 3 1～MC 3 8, MC 4 1～MC 4 8の記憶データを検知・増幅してチップ外、またはチップ内の他の回路へ読み出すようになっている。上記MOSトランジスタQ 1 1～Q 1 4のゲートはカラム選択線CSL 1～CSL 4に接続されており、これらカラム選択線CSL 1～CSL 4には上記カラムデコーダ及びCSLドライバ3 3の出力信号が入力される。

【 0 0 3 3 】

一方、上記クロスポイント型メモリセルMC11～MC18、MC21～MC28、MC31～MC38、MC41～MC48の他端は、それぞれ行毎に異なる配線層へ接続されている。読み出し時においては、これらの配線層は読み出し用ワード線RWL（RWL1～RWL8）として機能する。上記読み出し用ワード線RWL1～RWL8の両端には、行選択回路が設けられている。この行選択回路は、MOSトランジスタQ31～Q38、バイアス回路36、第1のロウデコーダ及び読み出しワード線ドライバ（Row Decoder & Read Word Line Driver）35-1、35-2、MOSトランジスタQ21～Q28、第2のロウデコーダ及び読み出しワード線ドライバ（Row Decoder & Read Word Line Driver）34-1、34-2等を含んで構成されている。

【0034】

すなわち、上記読み出し用ワード線RWL1～RWL8の一端にはMOSトランジスタQ31～Q38の電流通路の一端がそれぞれ接続され、MOSトランジスタQ31～Q38の電流通路の他端はバイアス回路36の出力端子に接続される。これらMOSトランジスタQ31～Q38は、第1のロウデコーダ及び読み出しワード線ドライバ（Row Decoder & Read Word Line Driver）35-1、35-2から出力されるワード線電位設定信号RWLSET1、RWLSET2でセルユニット単位で駆動され、上記読み出し用ワード線RWL1～RWL4またはRWL5～RWL8が選択的にバイアス回路36から出力されるバイアス電圧に設定される。このバイアス回路36は、ビット線用のバイアス回路31-1～31-4と実質的に等しいバイアス電圧を発生させるものである。

【0035】

上記読み出し用ワード線RWL1～RWL8の他端にはMOSトランジスタQ21～Q28の電流通路の一端がそれぞれ接続され、MOSトランジスタQ21～Q28の電流通路の他端は基準電位であるVss電源（接地電位）に接続される。これらMOSトランジスタQ21～Q28は、第2のロウデコーダ及び読み出しワード線ドライバ（Row Decoder & Read Word Line Driver）34-1、34-2から出力されるワード線駆動信号RWLACT1～RWLACT8で個別に駆動され、上記読み出し用ワード線RWL1～RWL8（配線層）が選択的に

低電圧レベル（例えばV_{ss}レベル）へ設定される。

【0036】

これら2つのロウデコーダ及び読み出しワード線ドライバ34-1, 34-2, 35-1, 35-2によるワード線電位の制御方法の違いは、各ワード線RWL1～RWL8を個別に制御可能か、セルユニット単位（または副ビット線単位）で制御可能かの違いにある。

【0037】

データの読み出し時において、例えば破線で囲んだメモリセルMC22が選択されたとすると、このメモリセルMC22に対応する副ビット線SBL3と主ビット線MBL2間に設けられている選択MOSトランジスタQ3のゲート入力信号（選択線SS1）を高電位へ遷移させることにより導通させ、主ビット線MBL2と副ビット線SBL3を接続する。また、第2のロウデコーダ及び読み出しワード線ドライバ34-1によって選択セルMC22に該当するワード線駆動信号RWLACT2のみを高電位に遷移させ、第1のロウデコーダ及び読み出しワード線ドライバ35-1によりワード線電位設定信号RWLSET1を低レベルへ遷移させる。

【0038】

これにより、主ビット線MBL2から副ビット線SBL3を経由して読み出し用ワード線RWL2への電流パスが生成される。これに続いて、外部から入力されたカラムアドレス信号をカラムデコーダ及びCSLドライバ33中のカラムデコーダでデコードし、CSLドライバでカラム選択信号CSL2を高電位状態へ遷移させ、MOSトランジスタQ12を導通させて主ビット線MBL2をセンスアンプ32へ接続する。この時、上記カラム選択信号CSL2により主ビット線MBL2に接続されたバイアス回路（ビット線バイアス回路）31-2は非活性状態に設定される。

【0039】

上記選択された主ビット線MBL2には、センスアンプ32から上記ビット線バイアス回路31-2と同電位（実質的に等しい電位）が印加され、選択セルMC22に流れる電流を検知・増幅することで記憶情報を読み出す。

【 0 0 4 0 】

この時、選択セルMC 2 2を含む副ビット線SBL 3に接続された非選択セル群(MC 2 1, MC 2 3, MC 2 4)に接続されたワード線群RWL 1, RWL 3, RWL 4は、ロウデコーダ及び読み出しワード線ドライバ3 5-1, 3 4-1によりフローティング状態に制御される。一方、選択セルMC 2 2を含まない副ビット線SBL 2, SBL 4, SBL 6, SBL 8に接続された非選択セル群MC 1 5~MC 1 8, MC 2 5~MC 2 8, MC 3 5~MC 3 8, MC 4 5~MC 4 8に接続されているワード線群RWL 5~RWL 8は、ロウデコーダ及び読み出しワード線ドライバ3 5-2, 3 4-2によりMOSトランジスタQ 3 5~Q 3 8が導通、MOSトランジスタQ 2 7~Q 2 8が非導通状態に設定されることにより、バイアス回路3 6から出力されるバイアス電圧、すなわち主ビット線MBL 1~MBL 4と実質的に等しいバイアス電圧に設定される。

【 0 0 4 1 】

なお、上記図1に示した回路では、3 2ビット分のメモリセルMC 1 1~MC 1 8, MC 2 1~MC 2 8, MC 3 1~MC 3 8, MC 4 1~MC 4 8を例にとって示したが、実際のMRAMにおいては、メモリセルが2次元的に適宜集積・配置された構成をとる。また、副ビット線SBL 1~SBL 8のそれぞれに4ビットのメモリセルが接続された例を示したが、これも適宜変更可能である。

【 0 0 4 2 】

図2は、上記メモリセルMC 2 2を選択する場合の読み出し動作時のタイミング図を示している。スタンバイ状態では、副ビット線SBL 1~SBL 8と主ビット線MBL 1~MBL 4間の選択スイッチであるMOSトランジスタQ 1~Q 8は全て非導通状態にするため、選択線SS 1, SS 2は低電位状態にある。一方、全ての主ビット線MBL 1~MBL 4は、ビット線バイアス回路3 1-1~3 1-4により所定のバイアス電圧に設定される。更に、カラムデコーダ及びCSLドライバ3 3の出力信号であるカラム選択信号CSL 1~CSL 4を低電位に設定することにより、センスアンプ3 2は全てのビット線(主ビット線MBL 1~MBL 4及び副ビット線SBL 1~SBL 8)から切り離される。全てのワード線RWL 1~RWL 8は、第2のロウデコーダ及び読み出しワード線ドラ

イバ 3 4 - 1, 3 4 - 2 の出力信号 R W L A C T 1 ~ R W L A C T 8 を低電位、第 1 のロウデコーダ及び読み出しワード線ドライバ 3 5 - 1, 3 5 - 2 の出力信号 R W L S E T 1, R W L S E T 2 を高電位に設定することでバイアス回路（ワード線バイアス回路） 3 6 に接続される。

【 0 0 4 3 】

なお、上記ワード線バイアス回路 3 6 及びビット線バイアス回路 3 4 - 1 ~ 3 4 - 4 は実質的に等しいバイアス電圧を発生するもので、スタンバイ（Stand-by）状態では全ての主ビット線 M B L 1 ~ M B L 4 と読み出しワード線 R W L 1 ~ R W L 8 が同電位にプリチャージされることになる。また、全ての副ビット線 S B L 1 ~ S B L 8 は、M T J 素子 M C 1 1 ~ M C 4 8 が単なる抵抗体であることから、読み出しワード線 R W L 1 ~ R W L 8 を経由して、ワード線並びにビット線と同様の電位に設定される。

【 0 0 4 4 】

これに対し、アクティブ（Active）状態では、メモリセル M C 2 2 が選択されたことを想定しているので、ゲート入力信号である選択線 S S 1 とワード線駆動信号 R W L A C T 2 が高電位へ遷移し、且つワード線電位設定信号 R W L S E T 1 が低電位へ遷移する。これにより、M B L 2 → S B L 3 → R W L 2 の経由で電流パスが形成される。また、選択セル M C 2 2 に該当するカラムアドレス信号の入力によりカラム選択信号 C S L 2 が高電位へ遷移し、選択された主ビット線 M B L 2 とセンスアンプ 3 2 が電氣的に結合される。その結果、選択セル M C 2 2 のデータのみがセンスアンプ 3 2 へ転送され、ここで検知・増幅後、図示しない読み出し系回路群を経由してメモリの外部に読み出される。この時、カラム選択信号 C S L 2 により選択主ビット線 M B L 2 のバイアス回路 3 1 - 2 は非活性状態とされる。

【 0 0 4 5 】

ところで、選択セル M C 2 2 を含む副ビット線 S B L 3 に接続された他の非選択セル用のワード線 R W L 1, R W L 3, R W L 4 は、ワード線電位設定信号 R W L S E T 1 が低電位へ遷移したため、電氣的にフローティング状態に制御される。この時、ワード線電位設定信号 R W L S E T 2 は依然高電位状態を保持して

いるので、選択セルMC 2 2を含まない副ビット線SBL 2, SBL 4, SBL 6, SBL 8に接続されたメモリセルMC 1 5～MC 1 8, MC 2 5～MC 2 8, MC 3 5～MC 3 8, MC 4 5～MC 4 8のワード線群RWL 5～RWL 8は、ワード線バイアス回路3 6へ接続された状態を保持する。その結果、ワード線群RWL 5～RWL 8は、主ビット線MBL 1～MBL 4と同一電位状態を保持することになる。ゆえに、主ビット線MBL 1～MBL 4から切り離された状態である副ビット線SBL 2, SBL 4, SBL 6, SBL 8の電位もRWL 5～RWL 8を介して低インピーダンス状態となり、主ビット線MBL 1～MBL 4と同一の電位状態を保持させることが可能となる。これにより、次のサイクルにおいて、副ビット線SBL 2, SBL 4, SBL 6, SBL 8に接続された任意のメモリセルがアクセスされた場合の速度のバラツキや速度の低下を回避することが出来る。

【 0 0 4 6 】

〔第2の実施の形態〕

図3は、本発明の第2の実施形態に係るMRAMの概略構成を示すブロック図である。図3において、図1と同一構成部に同じ符号を付して、その詳細な説明は省略する。本第2の実施形態と前述した第1の実施形態との違いは、図1ではロウデコーダ及び読み出しワード線ドライバを読み出しワード線RWL 1～RWL 8の両端に配置していたのを、一端側のみに設けた点にある。

【 0 0 4 7 】

この回路方式を実現するために、読み出しワード線RWL 1～RWL 4, RWL 5～RWL 8をセルユニット毎にバイアス回路3 6に選択的に接続する選択回路3 7-1, 3 7-2を設けている。選択回路3 7-1は、電流通路の一端が上記読み出しワード線RWL 1～RWL 4にそれぞれ接続され、他端がバイアス回路3 6の出力端子に共通接続されたNチャネル型MOSトランジスタQ 4 1～Q 4 4と、ロウデコーダ及び読み出しワード線ドライバ3 4から出力されるゲート信号（選択線SS 1を転送され、副ビット線SBL 1, SBL 3, SBL 5, SBL 7を主ビット線MBL 1～MBL 4へ選択的に接続する信号）を論理反転するインバータ3 8-1とから構成される。このインバータ3 8-1から出力され

る信号 $bSS1$ は、上記 MOS トランジスタ $Q41 \sim Q44$ のゲートに供給される。同様に、選択回路 $37-2$ は、電流通路の一端が上記読み出しワード線 $RWL5 \sim RWL8$ にそれぞれ接続され、他端がバイアス回路 36 の出力端に共通接続された N チャンネル型 MOS トランジスタ $Q45 \sim Q48$ と、ロウデコーダ及び読み出しワード線ドライバ 35 から出力されるゲート信号（選択線 $SS2$ を転送され、副ビット線 $SBL2, SBL4, SBL6, SBL8$ を主ビット線 $MBL1 \sim MBL4$ へ選択的に接続する信号）を論理反転するインバータ $38-2$ とから構成されている。このインバータ $38-2$ から出力される信号 $bSS2$ は、上記 MOS トランジスタ $Q45 \sim Q48$ のゲートに供給される。

【 0 0 4 8 】

図 4 は、本第 2 の実施形態に係る MRAM における動作タイミング図を示している。図 4 と図 2 のタイミング図を比較すれば明らかなように、基本的な動作は第 1 の実施形態と同じであり、読み出しワード線 $RWL1 \sim RWL4, RWL5 \sim RWL8$ をセルユニット毎にバイアス回路 36 に選択的に接続する動作にゲート信号（選択線 $SS1, SS2$ ）の反転信号 $bSS1, bSS2$ を用いる点のみが異なっている。

【 0 0 4 9 】

従って、本第 2 の実施形態においても、前述した第 1 の実施形態と同様な作用効果が得られる。

【 0 0 5 0 】

〔第 3 の実施の形態〕

図 5 は、本発明の第 3 の実施形態に係る MRAM の概略構成を示すブロック図である。本第 3 の実施形態では、図 3 と同様に読み出しワード線 $RWL1 \sim RWL8$ の両端に配置していたロウデコーダ及び読み出しワード線ドライバを一端側のみに設けている。そして、選択回路 $39-1, 39-2$ を P チャンネル型 MOS トランジスタ $Q51 \sim Q54, Q55 \sim Q58$ で構成することで、これら MOS トランジスタ $Q51 \sim Q54, Q55 \sim Q58$ にゲート信号（選択線 $SS1, SS2$ を転送され、副ビット線を主ビット線へ選択的に接続する信号）を直接供給するようにしている。

【 0 0 5 1 】

図 6 は、本第 3 の実施形態における動作タイミング図を示している。基本的な動作は第 1、第 2 の実施形態と同じであり、読み出しワード線 R W L 1 ～ R W L 4、R W L 5 ～ R W L 8 をセルユニット毎にバイアス回路 3 6 に選択的に接続する動作にゲート信号（選択線 S S 1、S S 2 の電位）を用いる点のみが異なっている。

【 0 0 5 2 】

従って、本第 3 の実施形態においても、前述した第 1、第 2 の実施形態と同様な作用効果が得られる。

【 0 0 5 3 】

上述したように、本発明の各実施形態によれば、セルの選択素子を必要としないクロスポイント型メモリセルを用いるので大容量化や高集積化が容易である。また、分割ビット線構造（階層ビット線方式）を採用し、その読み出し動作時に、選択されたメモリセルと同一の副ビット線（分割ビット線）に接続された全てのメモリセルのワード線を電氣的にフローティング状態に保持し、且つ選択セルと異なる副ビット線（分割ビット線）に接続された全てのメモリセルのワード線には、全ての主ビット線と同一の電位を供給することで、クロスポイント型メモリセル固有の読み出し時の誤差電流成分を抑制出来る。しかも、非選択状態にある全ての副ビット線（分割ビット線）の電位を主ビット線と同一に設定することで、読み出し動作の高速化を図ることが出来る。従って、容易に大容量化が図れ、且つ読み出し動作マージンが大きく、高速読み出し可能な M R A M を実現出来る。

【 0 0 5 4 】

なお、本発明の第 1 乃至第 3 の実施形態に係る磁気ランダムアクセスメモリ（半導体記憶装置）は、様々な装置に適用が可能である。これらの適用例のいくつかを図 7 乃至図 1 3 に示す。

【 0 0 5 5 】

（適用例 1）

図 7 はデジタル加入者線（D S L）用モデムの D S L データパス部分を抽出し

て示している。このモデムは、プログラマブルデジタルシグナルプロセッサ（DSP: Digital Signal Processor）100、アナログーデジタル（A/D）コンバータ110、デジタルーアナログ（D/A）コンバータ120、送信ドライバ150、及び受信機増幅器160などを含んでいる。図7では、バンドパスフィルタを省略しており、その代わりに回線コードプログラム（DSPで実行される、コード化された加入者回線情報、伝送条件等（回線コード；QAM、CAP、RSK、FM、AM、PAM、DWT等）に応じてモデムを選択、動作させるためのプログラム）を保持するための種々のタイプのオプションのメモリとして、本実施形態の磁気ランダムアクセスメモリ170とEEPROM180を示している。

【0056】

なお、本適用例では、回線コードプログラムを保持するためのメモリとして磁気ランダムアクセスメモリ170とEEPROM180との2種類のメモリを用いているが、EEPROM180を磁気ランダムアクセスメモリに置き換えても良い。すなわち、2種類のメモリを用いず、磁気ランダムアクセスメモリのみを用いるように構成しても良い。

【0057】

（適用例2）

図8は、別の適用例として、携帯電話端末300を示している。通信機能を実現する通信部200は、送受信アンテナ201、アンテナ共用器202、受信部203、ベースバンド処理部204、音声コーデックとして用いられるDSP205、スピーカ（受話器）206、マイクロホン（送話器）207、送信部208、及び周波数シンセサイザ209等を備えている。

【0058】

また、この携帯電話端末300には、当該携帯電話端末の各部を制御する制御部220が設けられている。制御部220は、CPU221、ROM222、本実施形態の磁気ランダムアクセスメモリ（MRAM）223、及びフラッシュメモリ224がCPUバス225を介して接続されて形成されたマイクロコンピュータである。上記ROM222には、CPU221において実行されるプログラ

ムや表示用のフォント等の必要となるデータが予め記憶されている。M R A M 2 2 3 は、主に作業領域として用いられるものであり、C P U 2 2 1 がプログラムの実行中において計算途中のデータなどを必要に応じて記憶したり、制御部 2 2 0 と各部との間でやり取りするデータを一時記憶したりする場合などに用いられる。また、フラッシュメモリ 2 2 4 は、携帯電話端末 3 0 0 の電源がオフされても、例えば直前の設定条件などを記憶しておき、次の電源オン時に同じ設定にするような使用方法をする場合に、それらの設定パラメータを記憶しておくものである。これによって、携帯電話端末の電源がオフにされても、記憶されている設定パラメータを消失してしまうことがない。

【 0 0 5 9 】

更に、この携帯電話端末 3 0 0 には、オーディオ再生処理部 2 1 1、外部出力端子 2 1 2、L C D コントローラ 2 1 3、表示用の L C D（液晶ディスプレイ）2 1 4、及び呼び出し音を発生するリング 2 1 5 等が設けられている。上記オーディオ再生処理部 2 1 1 は、携帯電話端末 3 0 0 に入力されたオーディオ情報（あるいは後述する外部メモリ 2 4 0 に記憶されたオーディオ情報）を再生する。再生されたオーディオ情報は、外部出力端子 2 1 2 を介してヘッドフォンや携帯型スピーカ等に伝えることにより、外部に取り出すことが可能である。このように、オーディオ再生処理部 2 1 1 を設けることにより、オーディオ情報の再生が可能となる。上記 L C D コントローラ 2 1 3 は、例えば上記 C P U 2 2 1 からの表示情報を C P U バス 2 2 5 を介して受け取り、L C D 2 1 4 を制御するための L C D 制御情報に変換し、L C D 2 1 4 を駆動して表示を行わせる。

【 0 0 6 0 】

上記携帯電話端末 3 0 0 には、インターフェース回路（I / F）2 3 1、2 3 3、2 3 5、外部メモリ 2 4 0、外部メモリスロット 2 3 2、キー操作部 2 3 4、及び外部入出力端子 2 3 6 等が設けられている。上記外部メモリスロット 2 3 2 にはメモリカード等の外部メモリ 2 4 0 が挿入される。この外部メモリスロット 2 3 2 は、インターフェース回路（I / F）2 3 1 を介して C P U バス 2 2 5 に接続される。このように、携帯電話端末 3 0 0 にスロット 2 3 2 を設けることにより、携帯電話端末 3 0 0 の内部の情報を外部メモリ 2 4 0 に書き込んだり、あ

るいは外部メモリ 2 4 0 に記憶された情報（例えばオーディオ情報）を携帯電話端末 3 0 0 に入力したりすることが可能となる。上記キー操作部 2 3 4 は、インターフェース回路（I / F） 2 3 3 を介して CPU バス 2 2 5 に接続される。キー操作部 2 3 4 から入力されたキー入力情報は、例えば CPU 2 2 1 に伝えられる。上記外部入出力端子 2 3 6 は、インターフェース回路（I / F） 2 3 3 を介して CPU バス 2 2 5 に接続され、携帯電話端末 3 0 0 に外部から種々の情報を入力したり、あるいは携帯電話端末 3 0 0 から外部へ情報を出力したりする際の端子として機能する。

【 0 0 6 1 】

なお、本適用例では、ROM 2 2 2、MRAM 2 2 3 及びフラッシュメモリ 2 2 4 を用いているが、フラッシュメモリ 2 2 4 を磁気ランダムアクセスメモリに置き換えても良いし、更に ROM 2 2 2 も磁気ランダムアクセスメモリに置き換えることも可能である。

【 0 0 6 2 】

（適用例 3）

図 9 乃至図 1 3 はそれぞれ、磁気ランダムアクセスメモリをスマートメディア等のメディアコンテンツを収納するカード（MRAM カード）に適用した例を示す。

【 0 0 6 3 】

MRAM カード本体 4 0 0 には、MRAM チップ 4 0 1 が内蔵されている。このカード本体 4 0 0 には、MRAM チップ 4 0 1 に対応する位置に開口部 4 0 2 が形成され、MRAM チップ 4 0 1 が露出されている。この開口部 4 0 2 にはシャッター 4 0 3 が設けられており、当該 MRAM カードの携帯時に MRAM チップ 4 0 1 がシャッター 4 0 3 で保護されるようになっている。このシャッター 4 0 3 は、外部磁場を遮蔽する効果のある材料、例えばセラミックからなっている。データを転写する場合には、シャッター 4 0 3 を開放して MRAM チップ 4 0 1 を露出させて行う。外部端子 4 0 4 は MRAM カードに記憶されたコンテンツデータを外部に取り出すためのものである。

【 0 0 6 4 】

図 1 0 及び図 1 1 はそれぞれ、上記 M R A M カードにデータを転写するための転写装置を示している。図 1 0 はカード挿入型の転写装置の上面図、図 1 1 はその断面図である。エンドユーザの使用する第 2 M R A M カード 4 5 0 を、矢印で示すように転写装置 5 0 0 の挿入部 5 1 0 より挿入し、ストッパ 5 2 0 で止まるまで押し込む。このストッパ 5 2 0 は第 1 M R A M 5 5 0 と第 2 M R A M カード 4 5 0 を位置合わせするための部材としても働く。第 2 M R A M カード 4 5 0 が所定位置に配置されると、第 1 M R A M データ書き換え制御部から外部端子 5 3 0 に制御信号が供給され、第 1 M R A M 5 5 0 に記憶されたデータが第 2 M R A M カード 4 5 0 に転写される。

【 0 0 6 5 】

図 1 2 には、はめ込み型の転写装置を示す。この転写装置は、矢印で示すように、ストッパ 5 2 0 を目標に、第 1 M R A M 5 5 0 上に第 2 M R A M カード 4 5 0 をはめ込みように載置するタイプである。転写方法についてはカード挿入型と同一であるので、説明を省略する。

【 0 0 6 6 】

図 1 3 には、スライド型の転写装置を示す。この転写装置は、C D - R O M ドライブや D V D ドライブと同様に、転写装置 5 0 0 に受け皿スライド 5 6 0 が設けられており、この受け皿スライド 5 6 0 が矢印で示すように移動する。受け皿スライド 5 6 0 が破線の位置に移動したときに第 2 M R A M カード 4 5 0 を受け皿スライド 5 6 0 に載置し、第 2 M R A M カード 4 5 0 を転写装置 5 0 0 の内部へ搬送する。ストッパ 5 2 0 に第 2 M R A M カード 4 5 0 の先端部が当接するように搬送される点、および転写方法についてはカード挿入型と同一であるので、説明を省略する。

【 0 0 6 7 】

以上第 1 乃至第 3 の実施形態と適用例 1 乃至 3 を用いて本発明の説明を行ったが、本発明は上記各実施形態や各適用例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施形態に示される

全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【 0 0 6 8 】

【発明の効果】

以上説明したように、本発明によれば、大容量化や高集積化が図れ、アクセス速度の高速化も実現出来る磁気ランダムアクセスメモリ及びそのデータ読み出し方法が得られる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る磁気ランダムアクセスメモリ (M R A M) の要部を抽出して示すもので、読み出し系のコア部を示すブロック図。

【図 2】 図 1 に示した M R A M の読み出し動作時のタイミング図。

【図 3】 本発明の第 2 の実施形態に係る磁気ランダムアクセスメモリ (M R A M) の要部を抽出して示すもので、読み出し系のコア部を示すブロック図。

【図 4】 図 3 に示した M R A M の読み出し動作時のタイミング図。

【図 5】 本発明の第 3 の実施形態に係る磁気ランダムアクセスメモリ (M R A M) の要部を抽出して示すもので、読み出し系のコア部を示すブロック図。

【図 6】 図 5 に示した M R A M の読み出し動作時のタイミング図。

【図 7】 本発明の第 1 乃至第 3 の実施形態に係る M R A M の適用例 1 について説明するためのもので、デジタル加入者線 (D S L) 用モデムの D S L データパス部分を示すブロック図。

【図 8】 本発明の第 1 乃至第 3 の実施形態に係る M R A M の適用例 2 について説明するためのもので、携帯電話端末を示すブロック図。

【図 9】 本発明の第 1 乃至第 3 の実施形態に係る M R A M の適用例 3 について説明するためのもので、M R A M をスマートメディア等のメディアコンテンツを収納するカード (M R A M カード) に適用した例を示す上面図。

【図 1 0】 M R A M カードにデータを転写するための転写装置を示す平面図。

【図 1 1】 M R A Mカードにデータを転写するための転写装置を示す断面図。

【図 1 2】 M R A Mカードにデータを転写するための、はめ込み型の転写装置を示す断面図。

【図 1 3】 M R A Mカードにデータを転写するための、スライド型の転写装置を示す断面図。

【図 1 4】 クロスポイント型メモリセルを備えた先願のM R A Mにおけるコア部の等価回路図。

【図 1 5】 クロスポイント型メモリセルを備えた先願のM R A Mにおけるメモリセル部の断面図。

【図 1 6】 階層ビット線構造をクロスポイント型メモリセルに適用した先願のM R A Mにおけるコア部の等価回路図。

【図 1 7】 階層ビット線構造をクロスポイント型メモリセルに適用した先願のM R A Mにおけるメモリセル部の断面図。

【図 1 8】 先願のクロスポイント型メモリセルの読み出し動作について説明するための等価回路図。

【符号の説明】

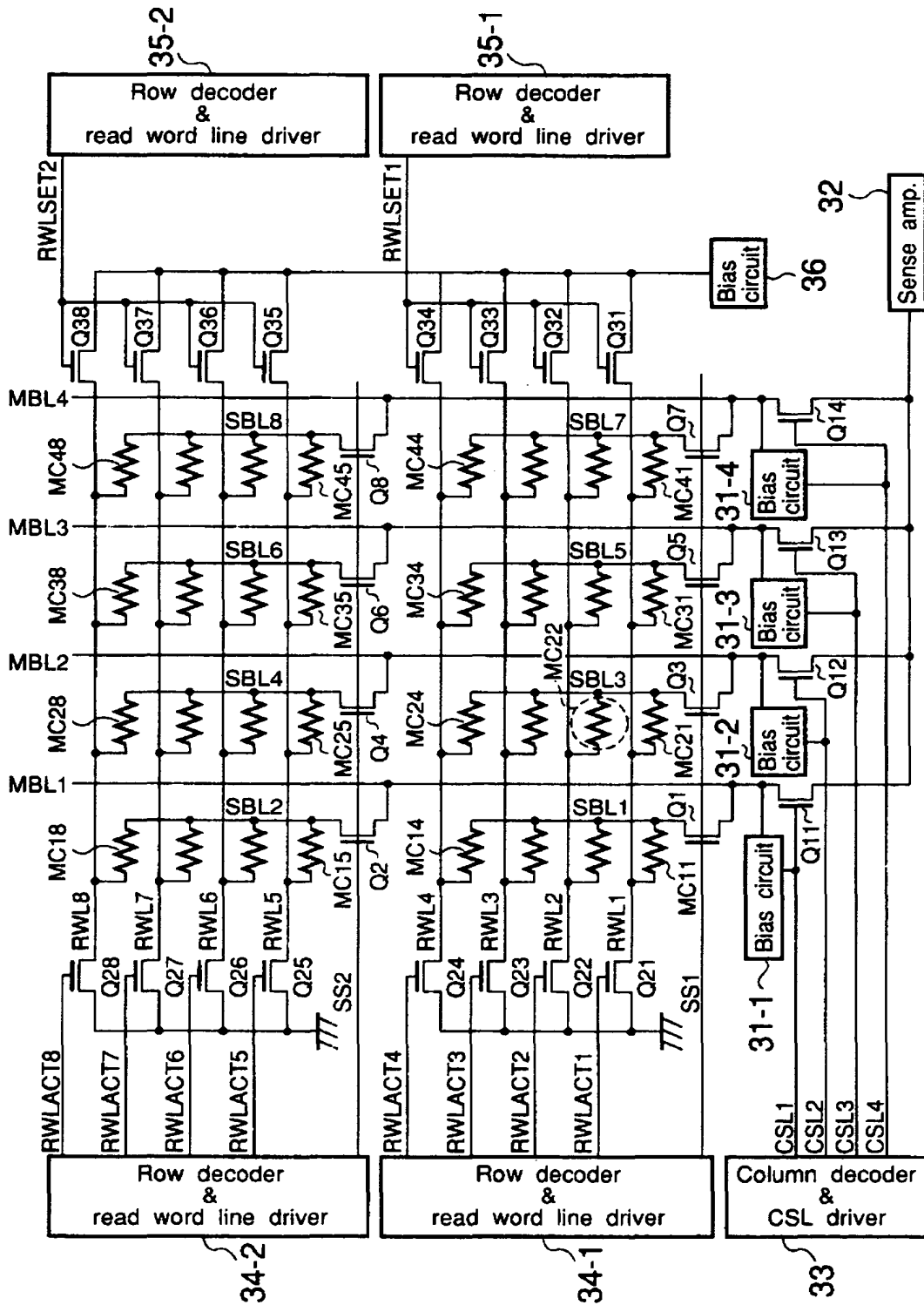
3 1 - 1 ~ 3 1 - 4 … バイアス回路、 3 2 … センスアンプ、 3 3 … カラムデコーダ及びC S Lドライバ、 3 4 - 1, 3 4 - 2 … 第2のロウデコーダ及び読み出しワード線ドライバ、 3 5 - 1, 3 5 - 2 … 第1のロウデコーダ及び読み出しワード線ドライバ、 3 6 … バイアス回路、 3 7 - 1, 3 7 - 2, 3 9 - 1, 3 9 - 2 … 選択回路、 3 8 - 1, 3 8 - 2 … インバータ、 M C 1 1 ~ M C 4 8 … クロスポイント型メモリセル (M T J素子)、 S B L 1 ~ S B L 8 … 副ビット線、 M B L 1 ~ M B L 4 … 主ビット線、 Q 1 ~ Q 8 … 選択M O Sトランジスタ (スイッチ回路、第1のM O Sトランジスタ)、 Q 1 1 ~ Q 1 4 … M O Sトランジスタ (カラム選択ゲート、第2のM O Sトランジスタ)、 Q 2 1 ~ Q 2 8 … M O Sトランジスタ (第4のM O Sトランジスタ)、 Q 3 1 ~ Q 3 8 … M O Sトランジスタ (第3のM O Sトランジスタ)、 Q 4 1 ~ Q 4 8 … Nチャネル型M O Sトランジスタ (第3のM O Sトランジスタ)、 Q 5 1 ~ Q 5 8 … Pチャネル型M O Sトラン

ジスタ（第 3 の MOS トランジスタ）、CSL 1 ～ CSL 4 … カラム選択線、RWL 1 ～ RWL 8 … 読み出し用ワード線（配線層）、SS 1, SS 2 … 選択線。

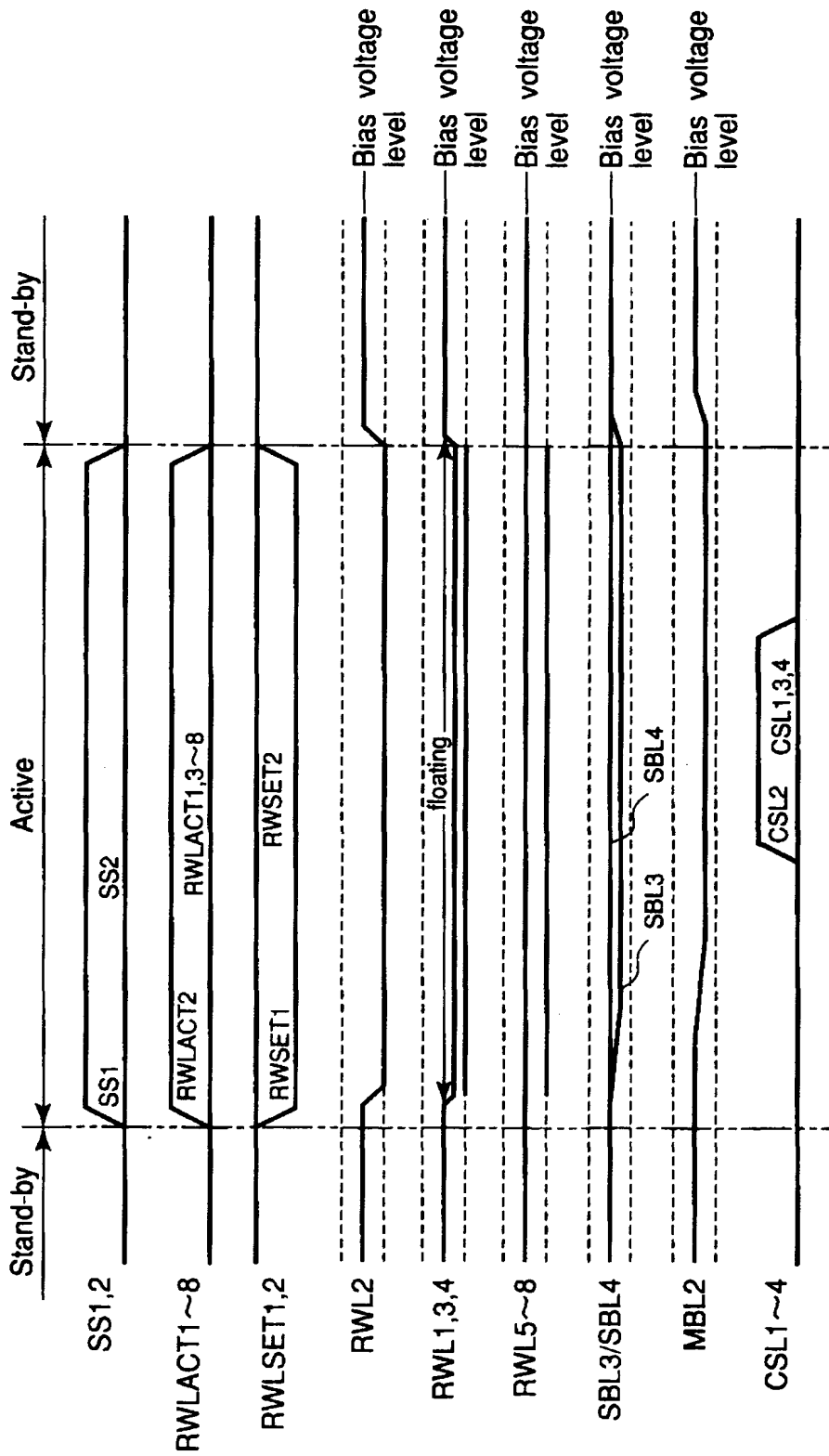
【書類名】

図面

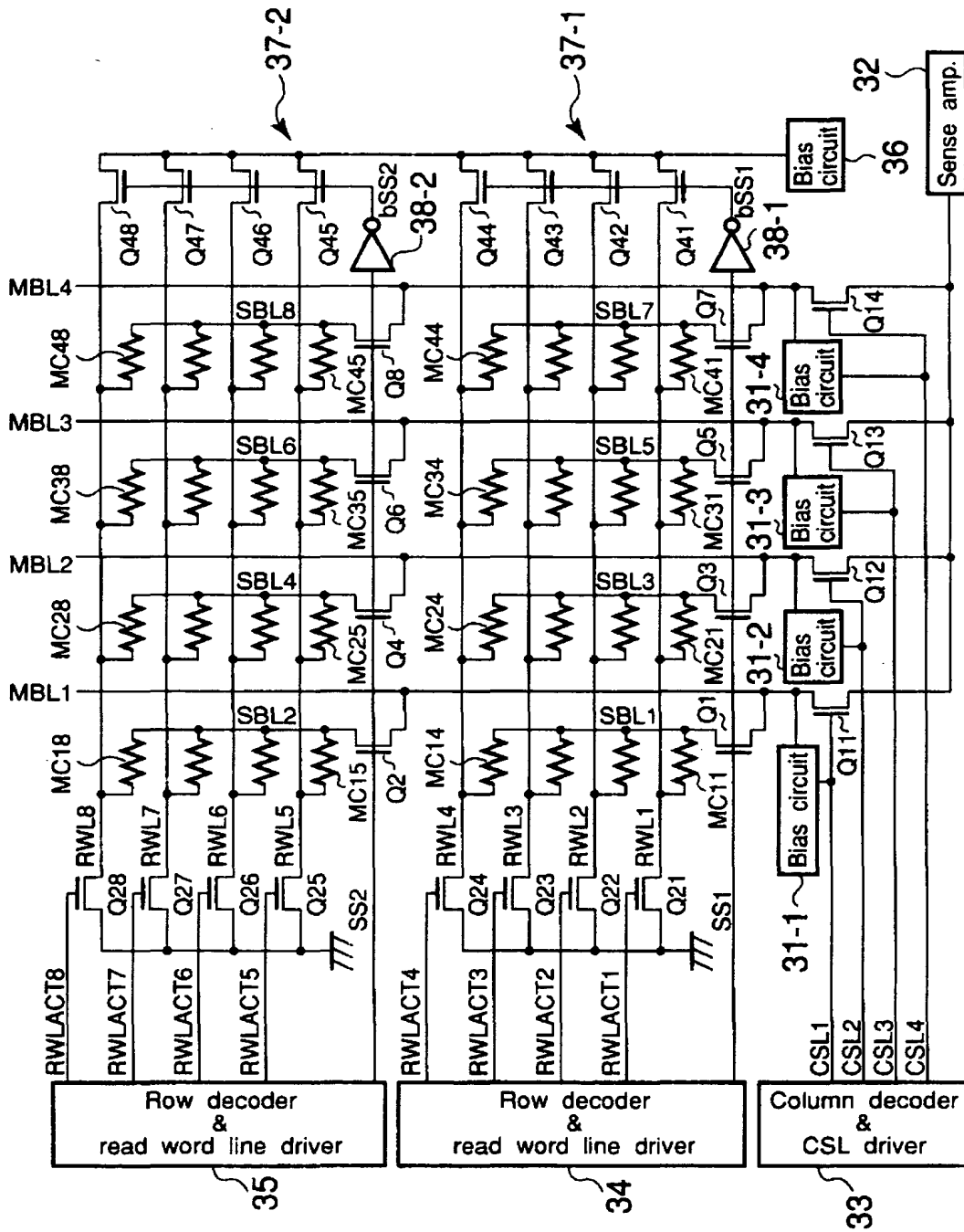
【図 1】



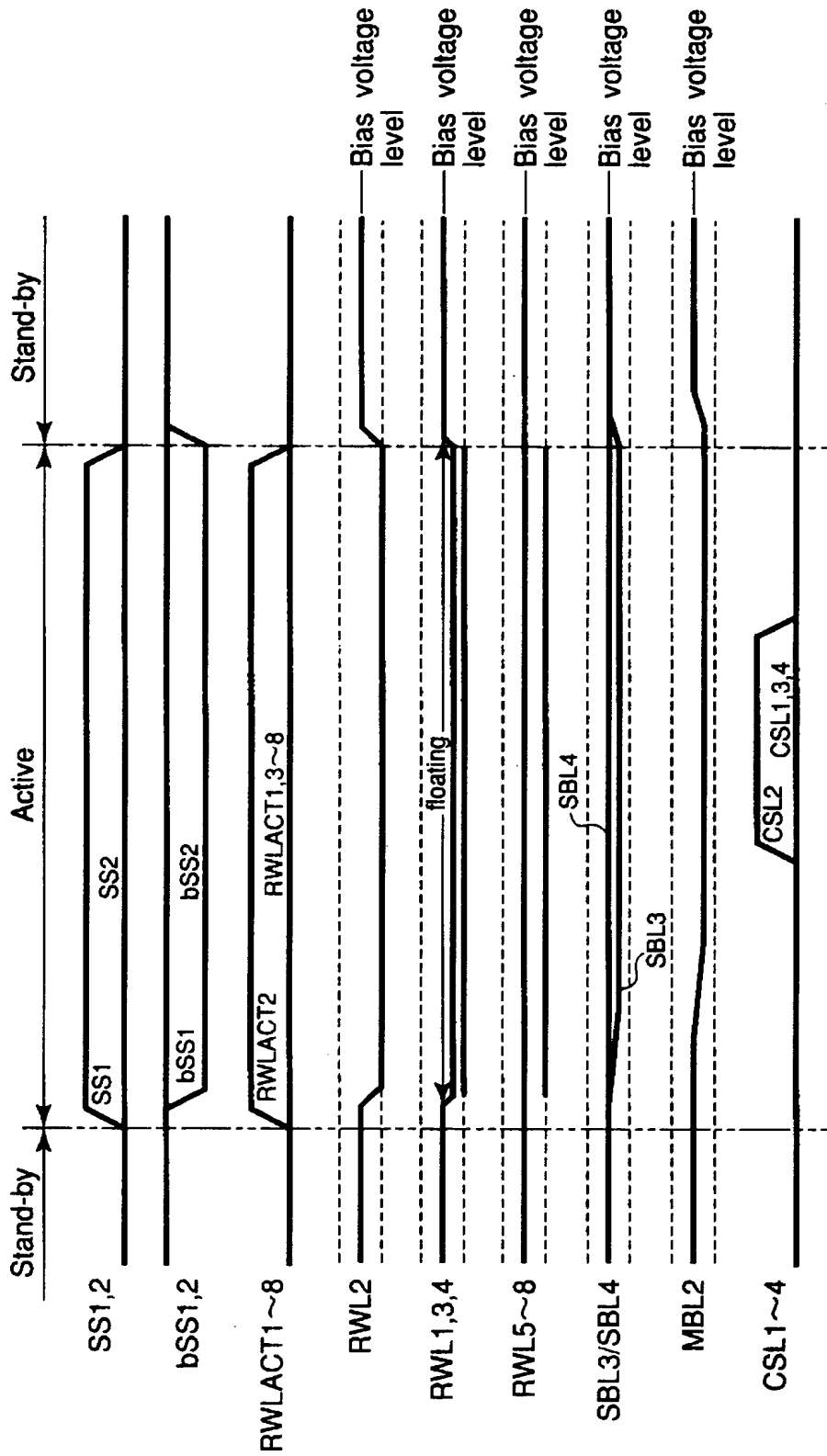
【図 2】



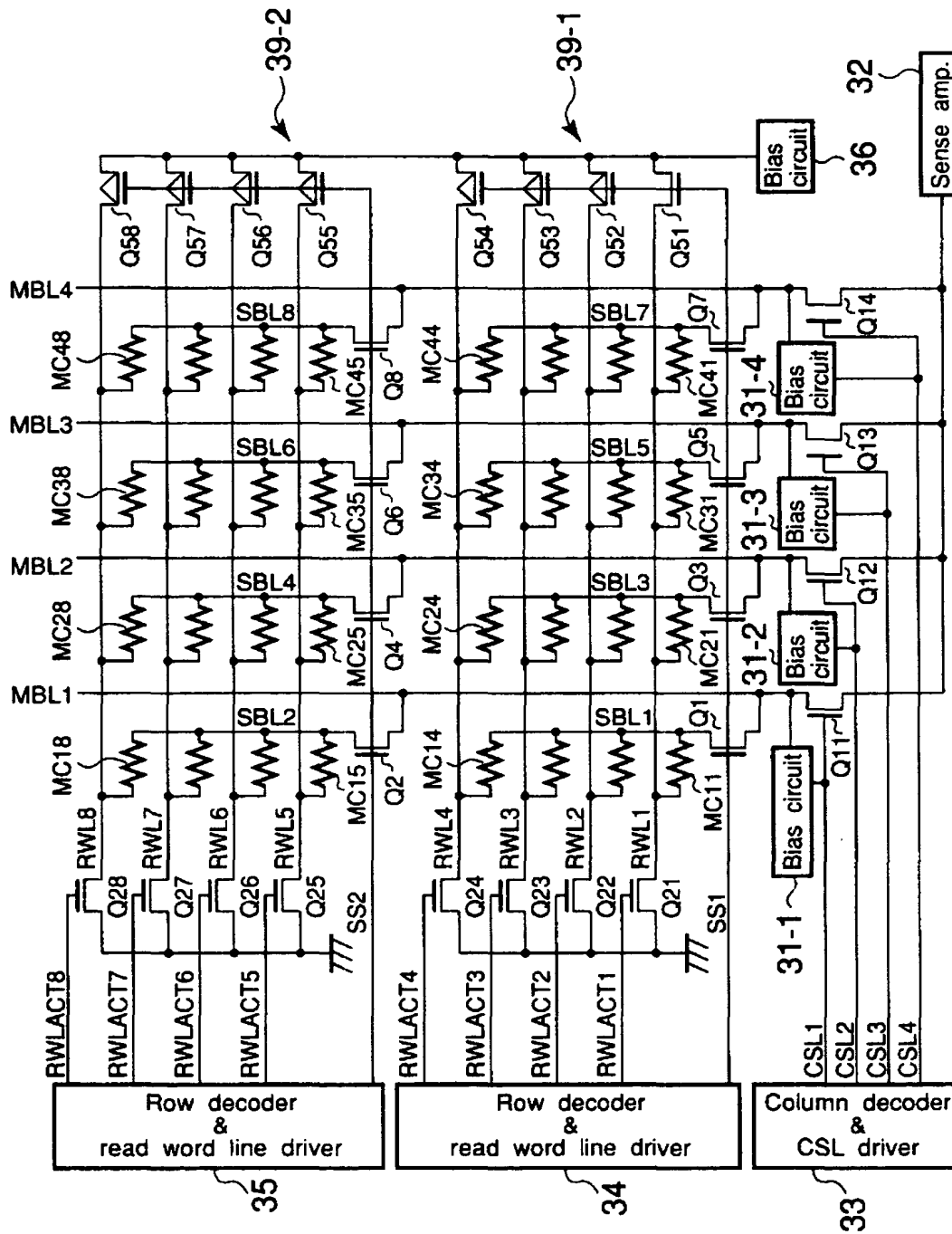
【図 3】



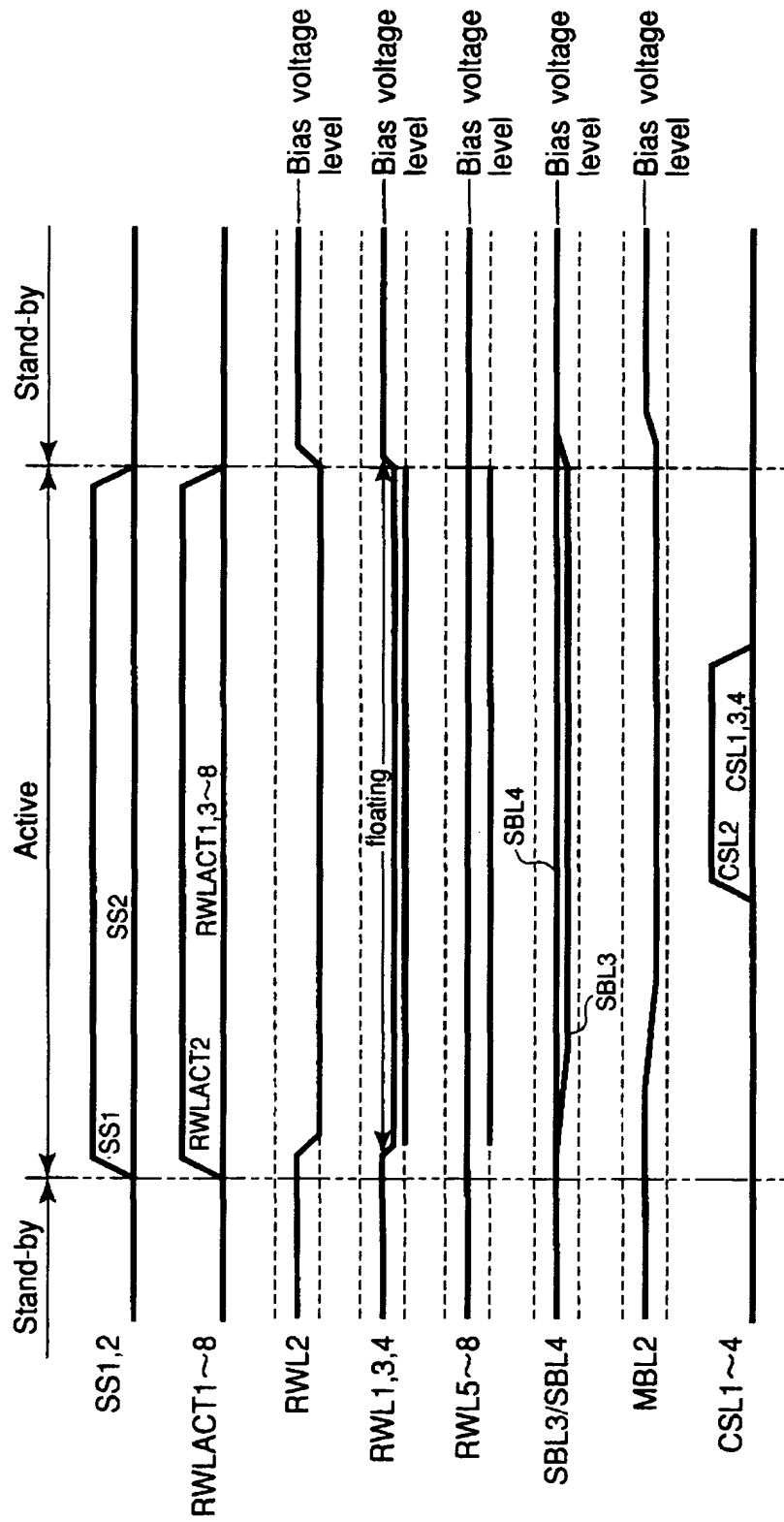
【図 4】



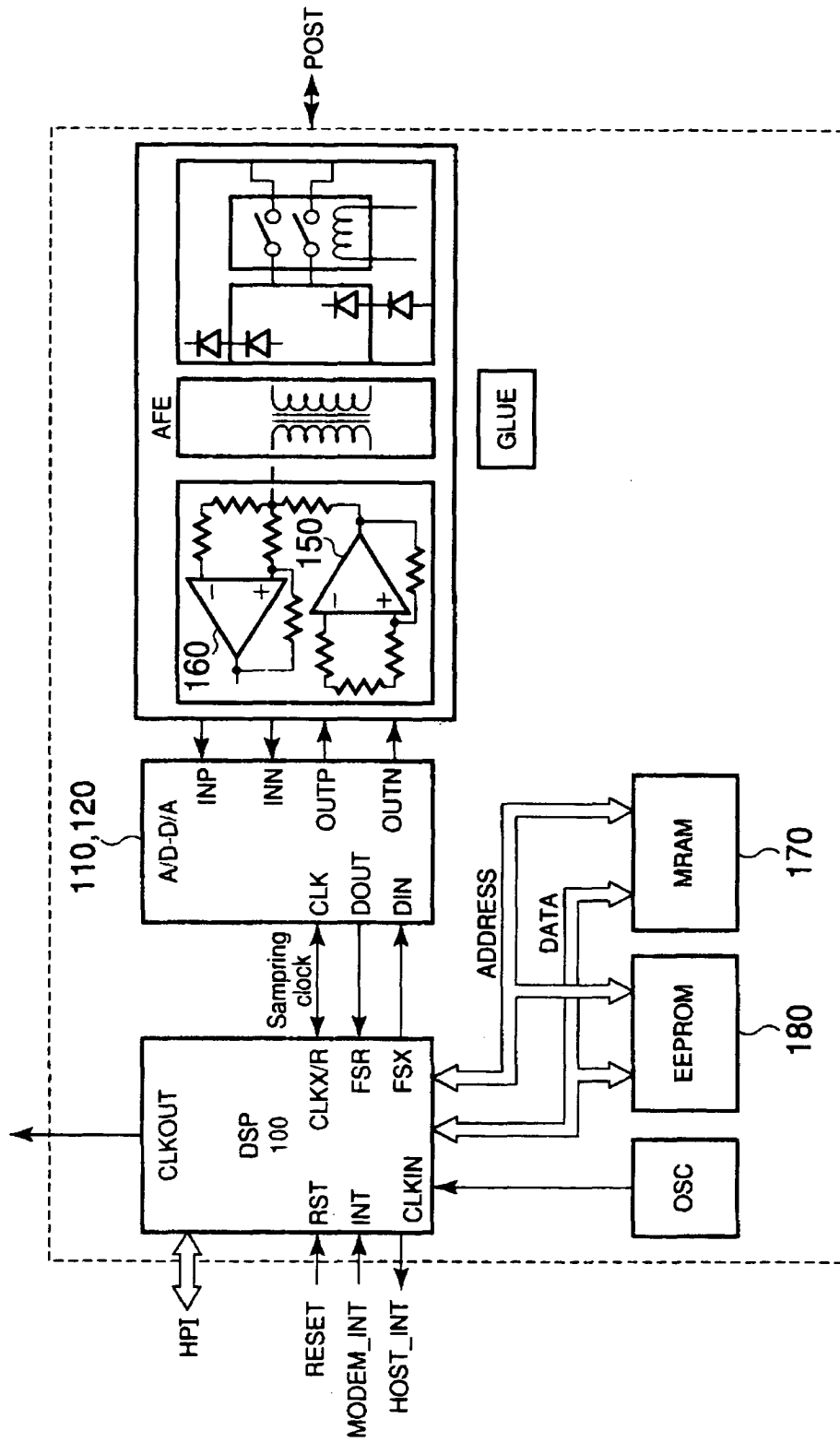
【図 5】



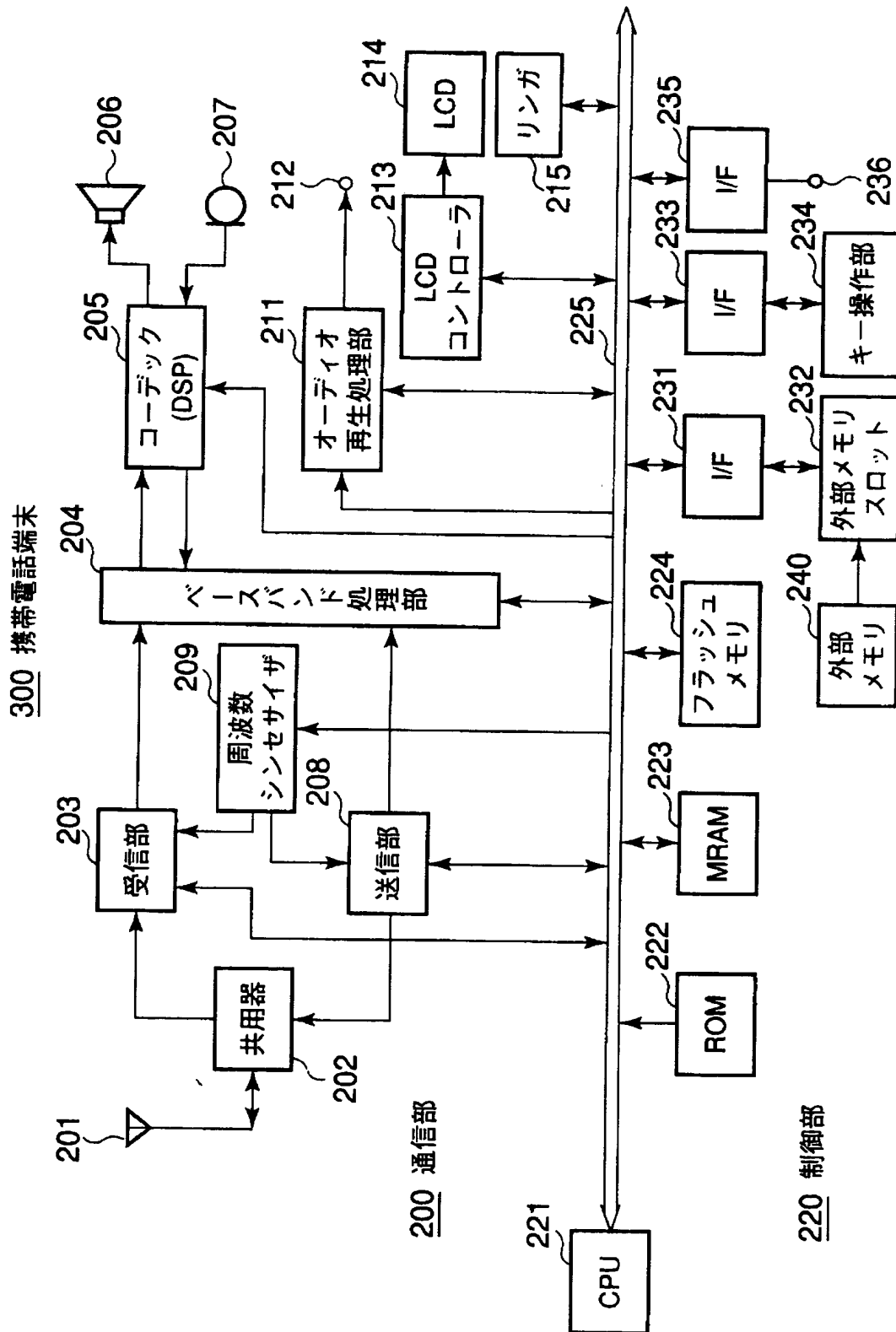
【図 6】



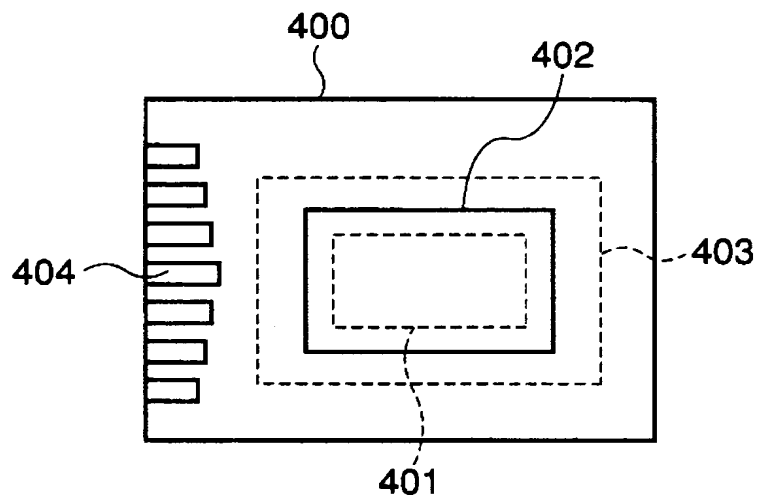
【図 7】



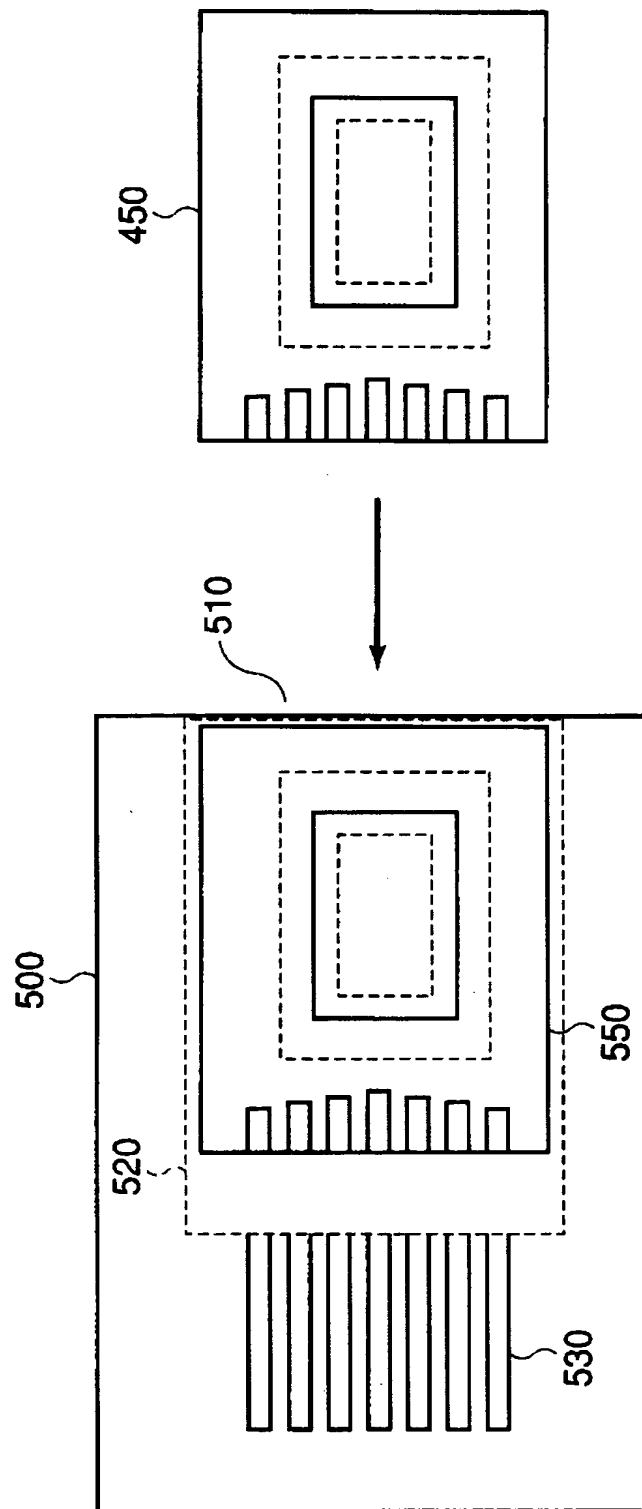
【図 8】



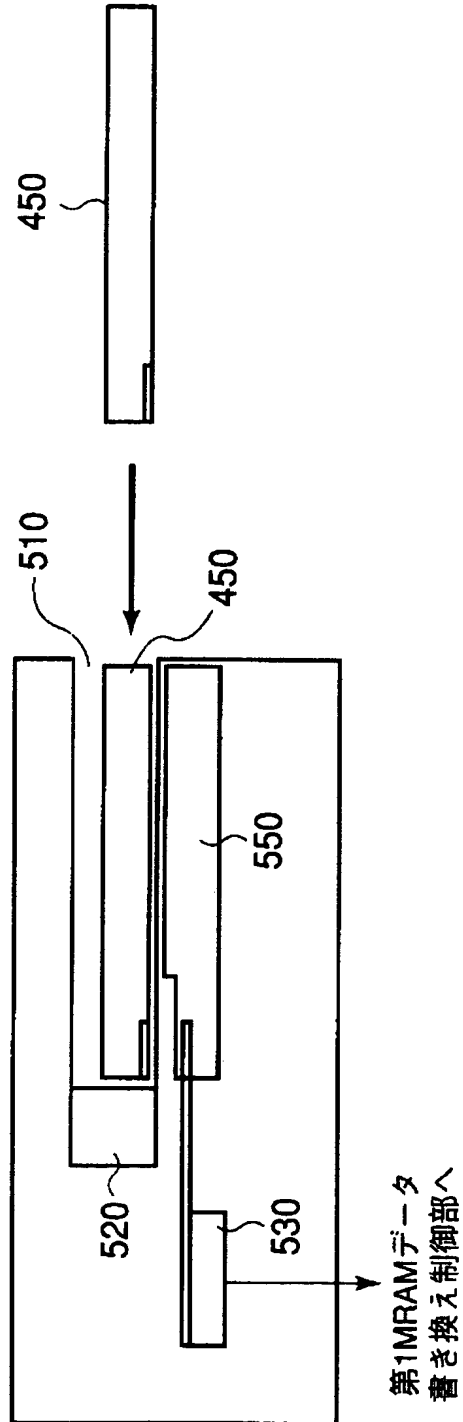
【図 9】



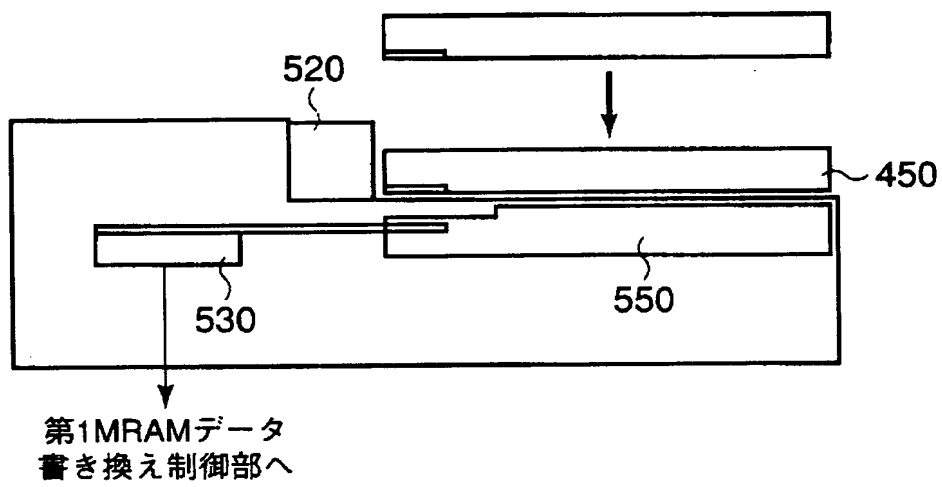
【図 1 0】



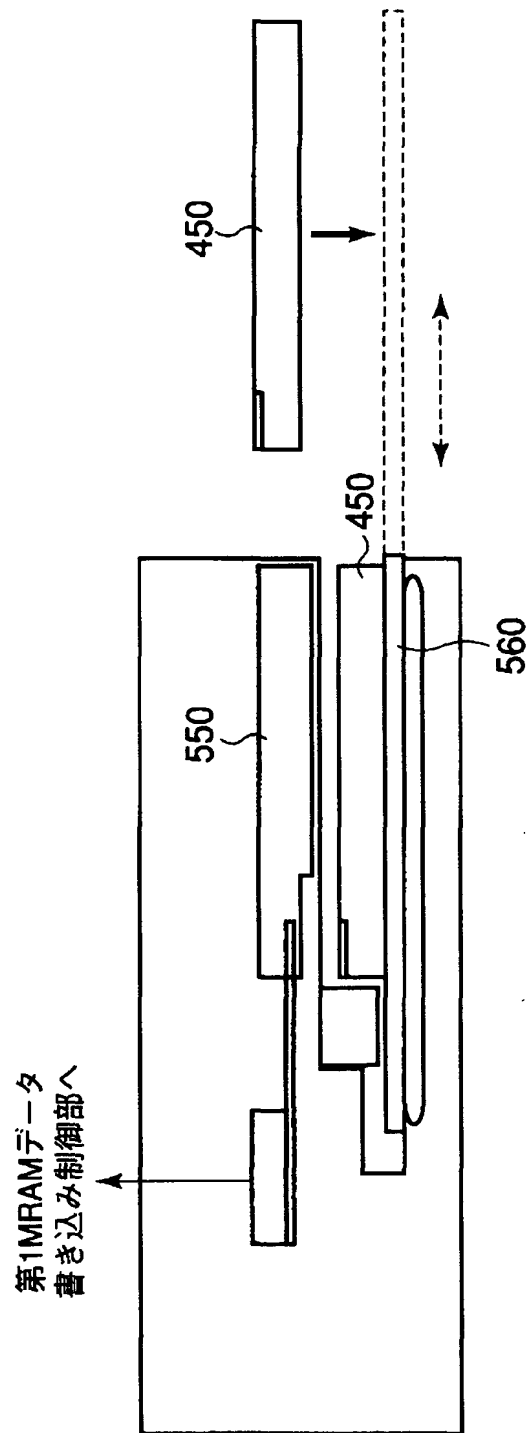
【図 1 1】



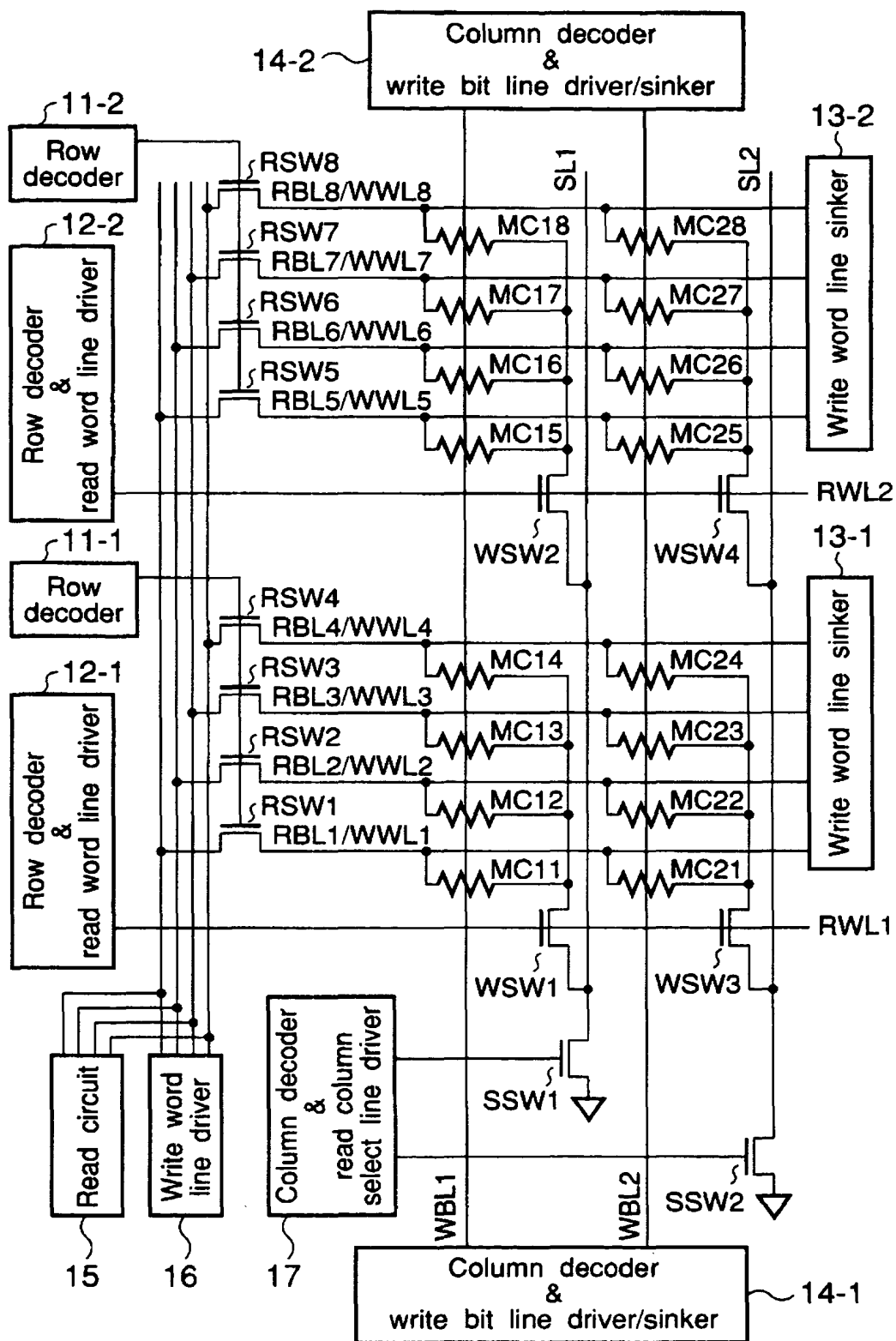
【図 1 2】



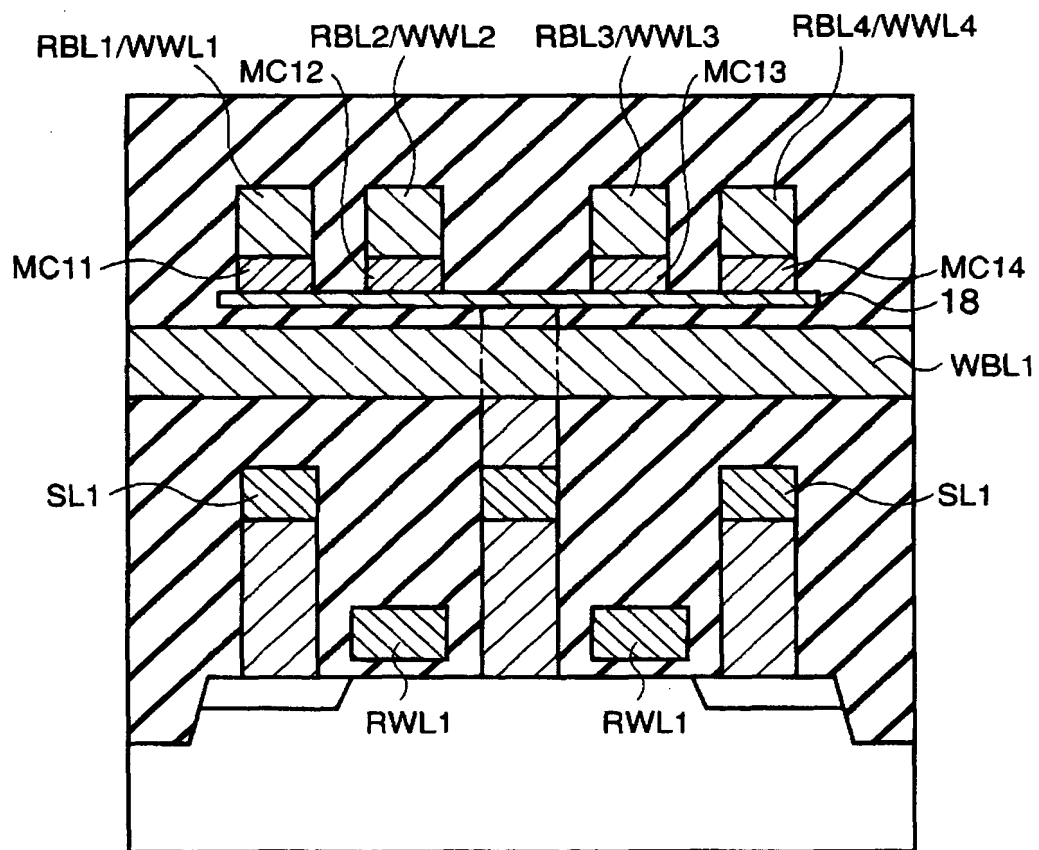
【図 1 3】



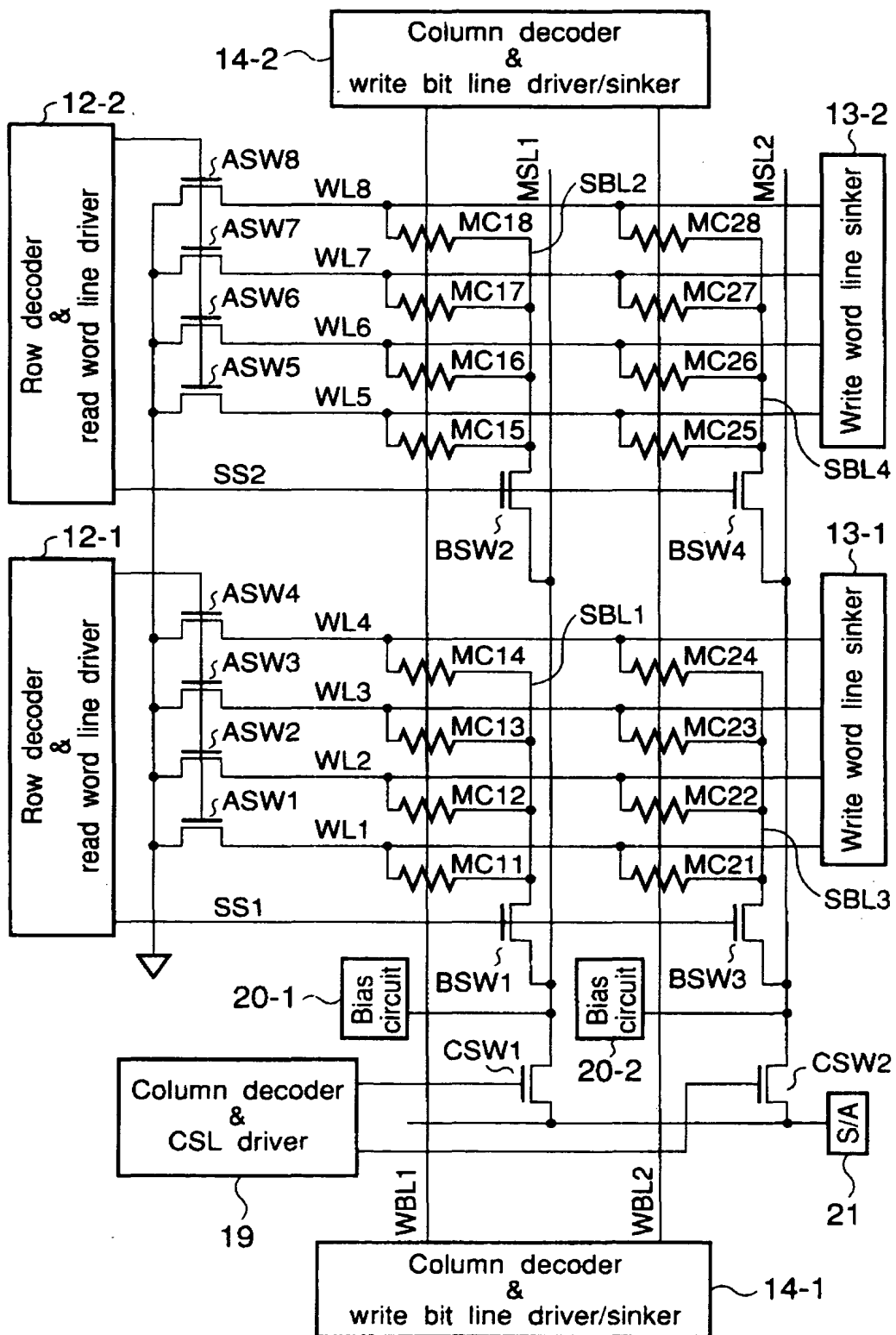
【図 14】



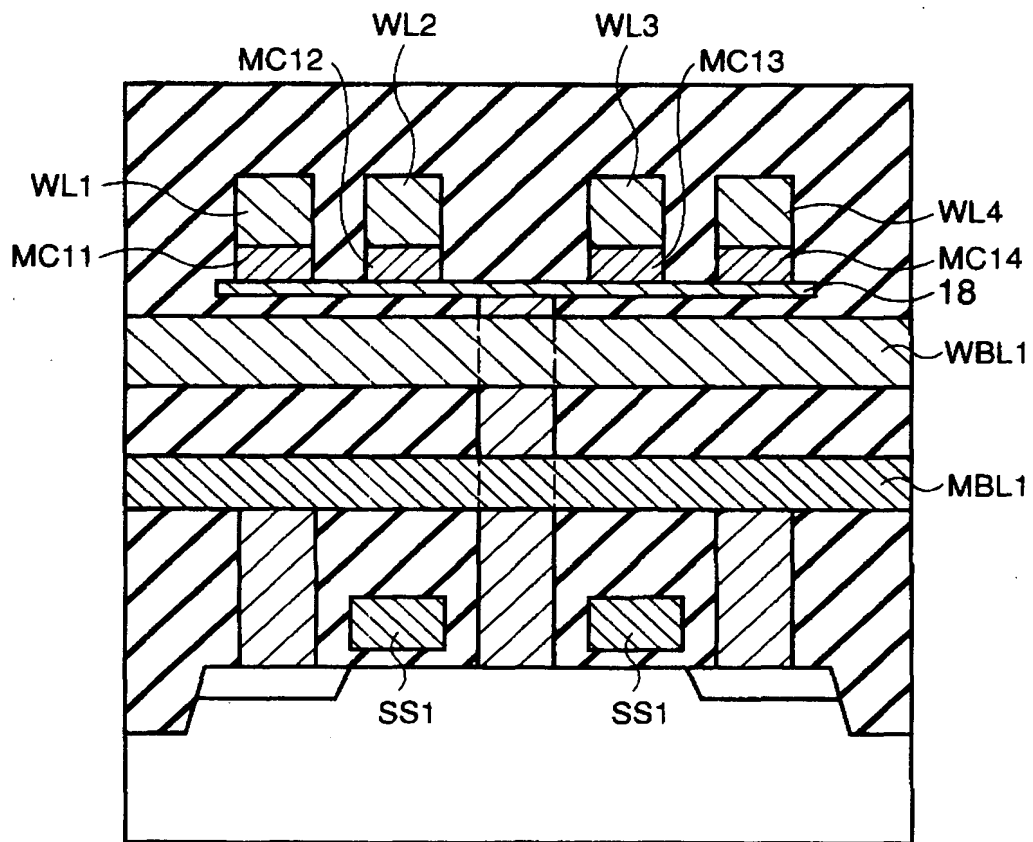
【図 15】



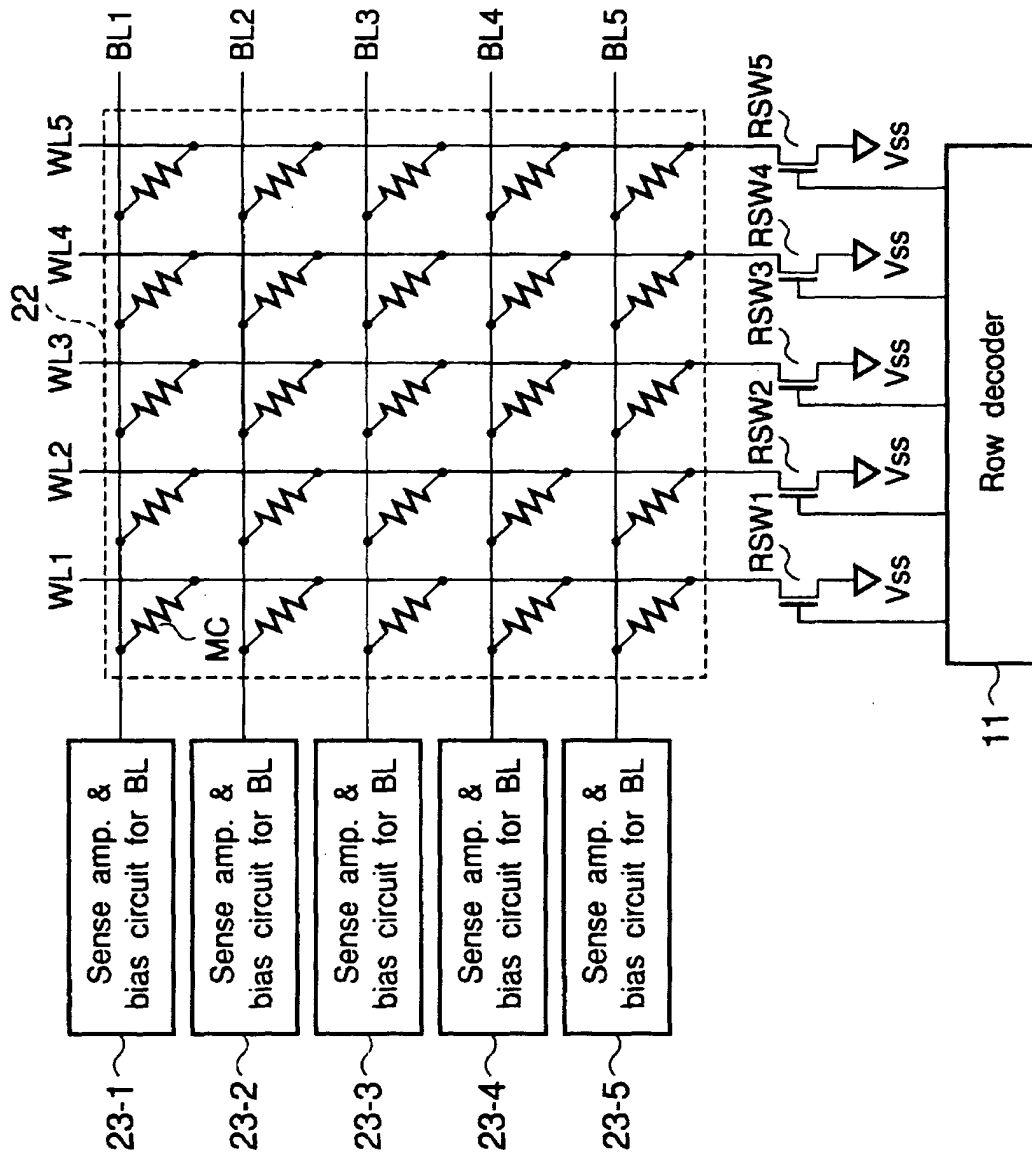
【図 1 6】



【図 17】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 大容量化や高集積化が図れ、アクセス速度の高速化も実現出来る磁気ランダムアクセスメモリを提供する。

【解決手段】 クロスポイント型メモリセルを用い、階層ビット線構造を採用したMRAMにおいて、読み出し動作時に選択セルと同一の副ビット線SBL1～SBL8に接続されたメモリセルMC11～MC48のワード線RWL1～RWL8を電氣的にフローティング状態に保持し、選択セルと異なる副ビット線に接続されたメモリセルのワード線には、主ビット線MBL1～MBL4と同一の電位を供給することを特徴とする。クロスポイント型メモリセルを用いることにより、容易に大容量化と高集積化が図れる。また、クロスポイント型メモリセル固有の読み出し時の誤差電流成分を抑制し、且つ非選択状態にある全ての副ビット線の電位を主ビット線と同一に設定することで読み出し動作の高速化を図れる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000221199]

1. 変更年月日	1990年 8月23日
[変更理由]	新規登録
住 所	神奈川県川崎市川崎区駅前本町25番地1
氏 名	東芝マイクロエレクトロニクス株式会社

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2003年 5月 9日
[変更理由]	名称変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝